

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-232886

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.
G 11 C 16/02

識別記号

F I
G 11 C 17/006 1 1 A
6 0 1 T
6 4 1

審査請求 未請求 請求項の数15 O L (全40頁)

(21)出願番号 特願平10-32778
(22)出願日 平成10年(1998)2月16日(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(72)発明者 辻川 哲也
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
(74)代理人 弁理士 玉村 静世

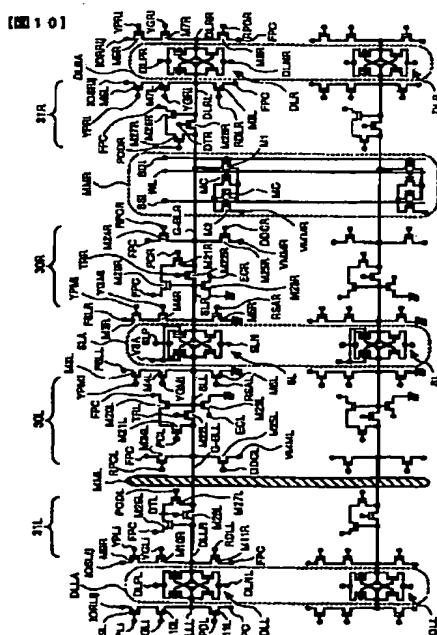
最終頁に続く

(54)【発明の名称】 半導体装置、メモリカード及びデータ処理システム

(57)【要約】

【課題】 メモリセルに多値情報を書き込むため外部からデータラッチ回路に供給された書き込みデータが書き込み動作によって失われないようにする。

【解決手段】 外部から与えられる書き込みデータをデータラッチ回路 (D L L, D L R) にラッチし、ラッチした書き込みデータが多値のどの閾値に対応するかを複数段階の書き込み動作毎に判定してその判定結果である書き込み制御情報をセンスラッチ回路 (S L) にラッチさせ、ラッチされた書き込み制御情報に従って、多値の閾値電圧をメモリセルに設定するための書き込み動作を段階的に行なう。書き込み動作が終了しても、データラッチ回路には、当初外部から供給された書き込みデータが残っている。過書き込み状態などに起因してメモリセルの書き込みをやり直すときでも書き込みデータを再度外部から受け取ることを要しない。



【特許請求の範囲】

【請求項1】 電気的に消去及び書き込みが可能な一つの不揮発性メモリセルに多値の情報を記憶可能にする半導体装置であつて、

一対の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫々の入出力端子に対応して設けられたピット線と、ピット線に選択的に接続され電気的に消去及び書き込み可能な複数個の不揮発性メモリセルと、夫々のピット線に結合されるデータラッチ回路と、前記データラッチ回路を外部とインタフェース可能にする入出力手段と、前記メモリセルに対するデータ読み出し、消去及び書き込みを制御する制御手段とを含み、

前記制御手段は、外部からの書き込みデータを前記データラッチ回路に保持させ、データラッチ回路に保持された複数ピットの書き込みデータに基づいて、ピット線への接続が選択された不揮発性メモリセルを閾値電圧の異なるどの状態にするかを決定する書き込み制御情報を書き込み動作毎に生成して、前記センスラッチ回路にラッチさせるものであることを特徴とする半導体装置。

【請求項2】 前記制御手段は更に、過書き込み検出のためのペリファイ読み出し動作毎に、メモリセルに設定されるべき閾値電圧が過書き込み検出対象とされる閾値電圧に対応する閾値電圧であるか否かを前記データラッチ回路のラッチデータを演算して判定し、その判定結果を前記センスラッチ回路にラッチさせ、センスラッチ回路にラッチされた判定結果データが前記対応する閾値電圧であることを意味する場合にはピット線プリチャージが行われ、ピット線プリチャージ状態がペリファイ読み出し動作によって変化されるか否かに基づいて過書き込みの検出を行なうものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記制御手段は、前記過書き込みが検出された時、再消去の後に書き込みを再実行させるものであることを特徴とする請求項2記載の半導体装置。

【請求項4】 電気的に消去及び書き込みが可能な不揮発性メモリセルを、閾値電圧の異なる消去状態、第1の書き込み状態、第2の書き込み状態又は第3の書き込み状態に制御して、一つのメモリセルに4値の情報を記憶可能にする半導体装置であつて、

一対の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫々の入出力端子に別々に設けられたプリチャージ手段と、夫々のプリチャージ手段によってプリチャージされるピット線と、ピット線に選択的に接続され電気的に消去及び書き込み可能な複数個の不揮発性メモリセルと、夫々のピット線に結合されるデータラッチ回路と、前記データラッチ回路及びセンスラッチ回路を外部とインタフェース可能にする入出力手段と、前記メモリセルに対するデータ読み出し、消去及び書き込みを制御する制御手段とを含み、

前記制御手段は、外部からの書き込みデータを前記データ

ラッチ回路に保持させ、センスラッチ回路を共有する一対のピット線に接続された2個のデータラッチ回路を保持する2ピットの書き込みデータを単位として、ピット線への接続が選択された不揮発性メモリセルを前記消去状態、第1の書き込み状態、第2の書き込み状態又は第3の書き込み状態の何れの状態にするかを決定する書き込み制御情報を演算して、書き込み動作毎に前記センスラッチ回路にラッチさせ、ラッチされた書き込み制御情報を従って前記第1乃至第3の書き込み状態を制御するものであることを特徴とする半導体装置。

【請求項5】 前記制御手段は、前記センスラッチ回路がメモリセル接続選択ピット線側の出力データを第1の論理値とする書き込み制御情報をラッチしたとき、当該第1の論理値とされるピット線に接続されるメモリセルを書き込み動作させ、

前記制御手段による前記書き込み制御情報の演算は、センスラッチを共有する一方のメモリセル接続選択ピット線側のデータラッチ回路にラッチされた第1の書き込みデータピットと他方のメモリセル接続非選択ピット線側のデータラッチ回路にラッチされた第2の書き込みデータピットとに対し、前記第1の書き込みデータピットの論理反転データと前記第2の書き込みデータピットとの論理和、前記第1の書き込みデータピットと前記第2の書き込みデータピットとの論理和、前記第1の書き込みデータピットと前記第2の書き込みデータピットとの論理和を、データラッチ回路のラッチデータに基づくピット線プリチャージ動作とセンスラッチ回路によるセンス動作とに基づいて演算する動作であり、

前記制御手段は、前記演算によって順次得られた論理和を、書き込み動作毎に、前記センスラッチ回路にラッチさせ、ラッチされた論理和が第1の論理値となるメモリセル接続選択ピット線ピット線のメモリセルを書き込み動作させるものであることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記制御手段は更に、過書き込み検出のためのペリファイ読み出し動作毎に、メモリセルに設定されるべき閾値電圧が過書き込み検出対象とされる閾値電圧に対応する閾値電圧であるか否かを前記データラッチ回路のラッチデータを演算して判定し、その判定結果を前記センスラッチ回路にラッチさせ、センスラッチ回路にラッチされた判定結果データが前記対応する閾値電圧であることを意味する場合にはピット線プリチャージが行われ、ピット線プリチャージ状態がペリファイ読み出し動作によって変化されるか否かに基づいて過書き込みの検出を行なうものであり、

前記制御手段による前記判定のための演算は、センスラッチを共有する一方のメモリセル接続選択ピット線側のデータラッチ回路にラッチされた第1の書き込みデータピットと他方のメモリセル接続非選択ピット線側のデータラッチ回路にラッチされた第2の書き込みデータピットと

に対し、前記第1の書き換えデータビットと前記第2の書き換えデータビットとの論理和、前記第1の書き換えデータビットと前記第2の書き換えデータビットの論理反転データとの論理積、前記第1の書き換えデータビットと前記第2の書き換えデータビットとの論理積を、データラッチ回路のラッチデータによるビット線プリチャージ動作とセンスラッチ回路によるセンス動作とに基づいて演算する動作であり、

前記制御手段は、前記演算によって順次得られた論理和及び論理積を、過書き検出動作毎に、前記判定結果データとして前記センスラッチ回路にラッチさせ、前記センスラッチ回路がメモリセル接続選択ビット線側の出力データを第2の論理値とする判定結果データをラッチしたとき、前記プリチャージ回路を介して当該メモリセル接続選択ビット線をプリチャージ動作させるものであることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記制御回路は、書き込み動作の異常終了の後、リトライ書き込みコマンドの供給を受け付けたとき、当該コマンドに伴って供給されるアドレスに、既にデータラッチ回路が保持している書き込みデータを書き込み制御するものであることを特徴とする請求項1乃至6の何れか1項記載の半導体装置。

【請求項8】 前記制御回路は、書き込み動作の異常終了の後、リカバリ読み出しコマンドの供給を受け付けたとき、データラッチ回路が保持している書き込みデータを前記入出力手段を介して外部に出力させるものであることを特徴とする請求項1乃至7の何れか1項記載の半導体装置。

【請求項9】 前記制御手段は、書き換え第1コマンドが供給されると書き換えアドレスを取り込むと共に、書き込みデータをデータラッチ回路に取り込み、書き換え第2コマンドが供給された後、前記書き換えアドレスで指定された領域の消去を行ない、次いで、データラッチ回路に保持されているデータに基づいて書き込み動作を制御するものであることを特徴とする請求項1乃至8の何れか1項記載の半導体装置。

【請求項10】 前記制御手段は、書き換え第1コマンドが供給されると書き換えアドレスを取り込み、取り込んだアドレスのデータをデータラッチ回路に退避し、退避の後に書き換えアドレスの範囲内で書き換えアドレスを指定して書き込みデータをデータラッチ回路に取り込み、書き換え第2コマンドが供給された後、前記書き換えアドレスで指定された領域の消去を行ない、次いで、前記書き換えアドレスで指定された領域のデータラッチ回路に保持されているデータに基づいて書き込み動作を制御するものであることを特徴とする請求項1乃至8の何れか1項記載の半導体装置。

【請求項11】 前記制御手段は、部分消去第1コマンドが供給されるとセクタアドレスを取り込み、次いで部分消去第2コマンドが供給されると、セクタアドレスで

指定される領域中の一定領域に対応されるデータラッチには当該一定領域のデータを退避すると共にその他の領域に対応されるデータラッチ回路には消去状態を指示するデータをセットし、更に、前記セクタアドレスで指定された領域に対する消去を行なってから、前記データラッチ回路に設定されたデータに従って書き込み制御を行なうものであることを特徴とする請求項1乃至10の何れか1項記載の半導体装置。

【請求項12】 カード基板に、請求項1乃至11の何れか1項記載の半導体装置と、前記半導体装置をアクセス制御するメモリコントローラと、メモリコントローラに接続される外部インタフェース回路とが実装されて成るものであることを特徴とするメモリカード。

【請求項13】 請求項1乃至11の何れか1項記載の半導体装置と、前記半導体装置をアクセス制御するメモリコントローラと、メモリコントローラを制御するプロセッサとを含んで成るものであることを特徴とするデータ処理システム。

【請求項14】 請求項7記載の半導体装置と、前記半導体装置による書き込み動作の異常終了を検出した時、リトライ書き込みコマンドと書き込みアドレスとを前記半導体装置に向けて出力する制御装置とを含んで成るものであることを特徴とするデータ処理システム。

【請求項15】 請求項8記載の半導体装置を複数個有し、更に、半導体装置による書き込み動作の異常終了を検出した時、リカバリ読み出しコマンドを当該異常終了に係る半導体装置に向けて出力すると共に、リカバリ読み出しコマンドが供給された半導体装置が出力する書き込みデータを取り込み、取り込んだ書き込みデータを別の半導体装置に書き込み制御する制御装置を備えて成るものであることを特徴とするデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一つのメモリセルに少なくとも4値の情報(2ビット分の情報)を記憶可能な不揮発性記憶素子を有する半導体装置に関し、例えばフラッシュメモリなどの電気的に書き換え可能な不揮発性半導体記憶装置、更には当該不揮発性半導体記憶装置を用いるファイルメモリシステムなどのデータ処理システムに適用して有効な技術に関するものである。

【0002】

【従来の技術】 浮遊ゲートに対する電子の注入や電子の引き抜きによって情報を記憶させることができる不揮発性半導体記憶装置、例えばフラッシュメモリが従来から提供されている。フラッシュメモリはフローティングゲート(浮遊ゲート)、コントロールゲート、ソース及びドレインを持つメモリセルトランジスタを有する。このメモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低

下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

【0003】このようなフラッシュメモリとして、1個のメモリセトランジスタに4値以上の情報を記憶するものがある。このような多値メモリについて記載された文献の例として日経マイクロデバイス（1994年11月号）第48頁及び第49頁がある。さらに、特開平9-297996号公報がある。

【0004】

【発明が解決しようとする課題】多値メモリにおいて、例えば、消去状態と、消去状態に対して夫々閾値電圧が相違される第1乃至第3の書き込み状態との中から一つの状態を選択できるようにすれば、1個のメモリセルトランジスタに4値の情報を格納することができる。書き込み動作の前に消去動作が行なわれるとすれば、第1乃至第3の書き込み状態の全てを非選択とするか、或いは何れの書き込み状態を選択するかを決定することによって、4値の情報記憶を行なうことができる。そのための書き込み動作においては、前記第1乃至第3の書き込み状態を個々に得るための書き込み動作を選択するか否かを決定するための書き込み制御情報が必要になる。そのような書き込み制御情報を保持するために、夫々ビット線に設けられたセンスラッチ回路及びデータラッチ回路を用いることができる。

【0005】センスラッチ回路は例えばズタティックラッチから成り、そのセンスラッチの一対の入出力端子に夫々ビット線の一端が接続され、夫々のビット線に前記メモリセルトランジスタのドレインが接続される。更に各ビット線の他端にデータラッチ回路が接続される。前記センスラッチ回路は、前記メモリセルトランジスタのコントロールゲートに読み出し電圧又はペリファイ電圧を印加したとき、そのソース・ドレイン間に電流が流れたり流れなかったりする状態をセンスする。このとき、センスラッチ回路の一方の動作非選択側のビット線はリファレンスレベルにプリチャージされている。また、コントロールゲートとドレインとの間に高電位差を形成して書き込みを行う場合、メモリセル毎にドレイン電圧を高くしたり低くしたりすることにより、メモリセルに対する書き込み選択と書き込み非選択とを区別することができ、この場合に、センスラッチ回路は書き込み選択、非選択に応じたデータをラッチすることになる。このラッチデータが前記書き込み制御情報である。

【0006】そのような書き込み制御情報は、外部から供給される書き込みデータの2ビット毎にデータ変換回路を介して生成され、書き込み選択されるビット線のセンスラッチ回路と当該センスラッチ回路を共有するビッ

ト線対の各データラッチ回路にラッチされる。ワード線単位で書き込み動作が行なわれる場合、当該ワード線を共有する全てのビット線に亘り前記センスラッチ回路及びデータラッチ回路に書き込み制御情報が予めラッチされる。

05 【0007】書き込み動作では、先ず、センスラッチ回路にラッチされた書き込み制御情報に従って第1書き込み状態への有無が決定され、次に、一方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第2書き込み状態への有無が決定され、更に、他方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第3書き込み状態への有無が決定される。このようにして、2ビットのデータで特定される4値の情報を1個のメモリセルに格

10 納することができる。上記第1乃至第3書き込み状態への書き込み動作では夫々の書き込み状態に割り当てられている閾値電圧に到達したかを調べるペリファイ動作が行なわれる。

15 【0008】このとき、メモリセルの中には、第1乃至第3の各書き込み状態に対して過書き込み状態にされるものがあり、その場合には、前後の書き込み状態における閾値電圧を区別することができなくなり、例えば、第1書き込み状態とされるべきメモリセルの閾値電圧が第2書き込み状態の閾値電圧と区別できなくなるほど高く

20 25 される場合がある。そのような場合には、書き込み動作を最初からやり直しするために、書き込み対象とされたメモリセルに対して消去動作を行なった後、前記書き込み動作が再度行なわれる。

20 【0009】しかしながら、前記第1乃至第3書き込み状態への書き込み動作を一旦行なうと、最初にセンスラッチ回路にラッチされた書き込み制御情報はデータラッチ回路から内部転送された別の書き込み制御情報によって上書きされて消失してしまっている。このため、過書き込みに起因する再書き込み動作を行なうには、再度外部から同じ書き込みデータを受け取らなければならぬ。そのためには、フラッシュメモリをアクセス制御する制御回路は、フラッシュメモリに対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持させておかなければならず、フラッシュメモリをアクセス制御するための負荷も大きくなり、フラッシュメモリアクセス若しくはデータ処理効率を低下させる原因になることが本発明者によって明らかにされた。

25 【0010】更に、過書き込みに起因する再書き込み動作の不良など、最終的に書き込み動作それ自体が不良である場合、その時の書き込みデータを当該フラッシュメモリの別の記憶領域に、或いは別のフラッシュメモリに記憶させることが想定される。この時も前記同様に、書き込み不良に係るフラッシュメモリはその時の書き込みデータを最早保持していない。したがって、その場合も、フラッシュメモリをアクセス制御する制御回路は、フラッ

シュメモリに対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持させておかなければならず、上記同様、フラッシュメモリアクセス若しくはデータ処理効率を低下させてしまう。

【0011】本発明の目的は、個々のメモリセルに多値の情報を書き込むため外部からデータラッチ回路に供給された書き込みデータが書き込み動作によっても失われることのない半導体装置を提供することにある。

【0012】本発明の別の目的は、メモリセルに対する多値情報の書き込み動作を再度行なう場合に書き込みデータを再度外部から受け取ることを要しない半導体装置を提供することにある。

【0013】本発明の更に別の目的は、書き込み動作の異常終了時に、内部で保持されている当該異常終了に係る書き込みデータを別のメモリアドレスを指定して再書き込み可能な半導体装置を提供することにある。

【0014】本発明のその他の目的は、書き込み動作の異常終了時に当該異常終了に係る書き込みデータを外部に出力可能な半導体装置を提供することにある。

【0015】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0017】〔1〕第1の観点による本発明は、電気的に消去及び書き込みが可能な一つの不揮発性メモリセルに多値の情報を記憶可能にする半導体装置において、書き込み動作に付随して行なわれる過書き込み検出動作（ワードディスチーブ検出若しくはエラティック検出）により、メモリセルの過書き込み状態が検出された場合に、再消去して再度書き込み動作を最初からやり直すときでも、書き込み動作に必要な書き込みデータが内部で保存されていることを保証できるようにするものである。

【0018】すなわち、半導体装置は、一对の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫々の入出力端子に対応して別々に設けられたピット線と、ピット線に選択的に接続され電気的に消去及び書き込み可能な複数個の不揮発性メモリセルと、夫々のピット線に結合されるデータラッチ回路と、前記データラッチ回路を外部とインターフェース可能にする入出力手段と、前記メモリセルに対するデータ読み出し、消去及び書き込みを制御する制御手段とを含む。前記制御手段は、外部からの書き込みデータを前記データラッチ回路に保持させ、データラッチ回路に保持された複数ピットの書き込みデータに基づいて、ピット線への接続が選択された不揮発性メモリセルを閾値電圧の異なるどの状態にするかを決定する書き込み制御情報を書き込み動作毎に生成して、前記センスラッチ回路にラッチさせるものである。

【0019】上記手段によれば、外部から与えられる書き込みデータをデータラッチ回路にラッチし、ラッチした書き込みデータが多値のどの閾値に対応するかは複数段階の書き込み動作毎に判定してその判定結果である書き込み制御情報をセンスラッチ回路にラッチさせ、センスラッチ回路にラッチされた書き込み制御情報を従って、多値の閾値電圧をメモリセルに設定するための書き込み動作を段階的に行なう。したがって、書き込み動作が終了しても、データラッチ回路には、当初外部から供給された書き込みデータが残っている。したがって、前記ワードディスチーブ検出若しくはエラティック検出の結果により、メモリセルに対する多値情報の書き込み動作を再度行なう場合にも書き込みデータを再度外部から受け取ることを要しない。

05 10 15 20 25 30 35 40 45 50

【0020】過書き込み検出には次の手法を採用することができる。すなわち、前記制御手段は更に、過書き込み検出のためのペリファイ読み出し動作毎に、メモリセルに設定されるべき閾値電圧が過書き込み検出対象とされる閾値電圧に対応する閾値電圧であるか否かを前記データラッチ回路のラッチデータを演算して判定し、その判定結果を前記センスラッチ回路にラッチさせ、センスラッチ回路にラッチされた判定結果データが前記対応する閾値電圧であることを意味する場合にはピット線ブリチャージが行われ、ピット線ブリチャージ状態がペリファイ読み出し動作によって変化されるか否かに基づいて過書き込みの検出を行なう。

【0021】前記制御手段は、前記過書き込みが検出された時、再消去の後に書き込みを再実行させることができる。

【0022】〔2〕前記センスラッチ回路に書き込み情報をラッチさせるための前記第1の観点による演算制御の更に具体的な手段に着目した第2の観点による発明では、閾値電圧の異なる消去状態、第1の書き込み状態、第2の書き込み状態又は第3の書き込み状態に制御して、一つのメモリセルに4値の情報を記憶可能にする半導体装置を想定する。このとき、前記制御手段は、外部からの書き込みデータを前記データラッチ回路に保持させ、センスラッチ回路を共有する一对のピット線に接続された2個のデータラッチ回路が保持する2ピットの書き込みデータを単位として、ピット線への接続が選択された不揮発性メモリセルを前記消去状態、第1の書き込み状態、第2の書き込み状態又は第3の書き込み状態の何れの状態にするかを決定する書き込み情報を演算して、書き込み動作毎に前記センスラッチ回路にラッチさせ、ラッチされた書き込み情報を従って前記第1乃至第3の書き込み状態を制御する。

【0023】更に具体的には、前記制御手段は、前記センスラッチ回路がメモリセル接続選択ピット線側の出力データを第1の論理値とする書き込み制御情報をラッチしたとき、当該第1の論理値とされるピット線に接続されるメモリセルを書き込み動作させる。前記制御手段による

前記書込み制御情報の演算は、センスラッチ回路を共有する一方のメモリセル接続選択ビット線側のデータラッチ回路にラッチされた第1の書込みデータビットと他方のメモリセル接続非選択ビット線側のデータラッチ回路にラッチされた第2の書込みデータビットとに対し、前記第1の書込みデータビットの論理反転データと前記第2の書込みデータビットとの論理和、前記第1の書込みデータビットと前記第2の書込みデータビットとの論理和、前記第1の書込みデータビットと前記第2の書込みデータビットの論理反転データとの論理和を、データラッチ回路のラッチデータに基づくビット線プリチャージ動作とセンスラッチ回路によるセンス動作とに基づいて演算する動作である。前記制御手段は、前記演算によって順次得られた論理和を、書込み動作毎に、前記センスラッチ回路にラッチさせ、ラッチされた論理和が第1の論理値となるメモリセル接続選択ビット線のメモリセルを書込み動作させる。

【0024】上記に応する過書き込み判定のための手段の更に具体例は以下のようにすることができる。前記制御手段は更に、書込み動作に起因する過書き込み検出のためのペリファイ読み出し動作毎に、メモリセルに設定されるべき閾値電圧が、過書き込み検出対象とされる閾値電圧に対応する閾値電圧であるか否かを、前記データラッチ回路のラッチデータを演算して判定し、その判定結果を前記センスラッチ回路にラッチさせ、センスラッチ回路にラッチされた判定結果データが前記対応する閾値電圧であることを意味する場合にはビット線プリチャージが行われ、ビット線プリチャージ状態がペリファイ読み出し動作によって変化されるか否かに基づいて過書き込みの検出を行なうものである。前記制御手段による前記判定のための演算は、センスラッチ回路を共有する一方のメモリセル接続選択ビット線側のデータラッチ回路にラッチされた第1の書込みデータビットと他方のメモリセル接続非選択ビット線側のデータラッチ回路にラッチされた第2の書込みデータビットとに対し、前記第1の書込みデータビットと前記第2の書込みデータビットとの負論理和、前記第1の書込みデータビットと前記第2の書込みデータビットの論理反転データとの論理積、前記第1の書込みデータビットと前記第2の書込みデータビットとの論理積を、データラッチ回路のラッチデータによるビット線プリチャージ動作とセンスラッチ回路によるセンス動作とに基づいて演算する動作である。前記制御手段は、前記演算によって順次得られた負論理和及び論理積を、過書き込み検出動作毎に、前記判定結果データとして前記センスラッチ回路にラッチさせ、前記センスラッチ回路がメモリセル接続選択ビット線側の出力データを第2の論理値とする判定結果データをラッチしたとき、プリチャージ回路を介して当該メモリセル接続選択ビット線をプリチャージ動作させる。

【0025】〔3〕上記手段より、書き込み異常が生じ

ても、その時の書き込みデータは半導体装置内部に保存されている。これに着目し、前記制御回路は、書き込み動作の異常終了の後、リトライ書き込みコマンドの供給を受け付けたとき、当該コマンドに伴って供給されるアドレスに、既にデータラッチ回路が保持している書き込みデータを書き込み制御させることができる。半導体装置がそのようなリトライ機能を有することにより、当該半導体装置をアクセス制御するメモリコントローラ若しくは制御装置は、書き込み動作の異常終了を生じた半導体装置に対して書き込みアドレス若しくはセクタアドレスを変更して再書き込みを容易に行なうことができる。

【0026】また、書き込み動作の異常終了後、再書き込み対象を、別の半導体装置に変更可能にすることを考慮することができる。この場合、前記制御回路は、書き込み動作の異常終了の後、リカバリ読み出しコマンドの供給を受け付けたとき、データラッチ回路が保持している書き込みデータを前記入出力手段を介して外部に出力させるものである。このリカバリ機能により、複数の半導体装置によって構成されるメモリカードのメモリコントローラ若しくはメモリカードをアクセス制御する制御装置は、書き込みデータを自らストアしておかなくとも、書き込み動作の異常終了を生じた半導体装置とは別の半導体装置に対して再書き込みを容易に行なうことができる。

【0027】〔4〕書き換え動作は、消去コマンドによって消去を行なった後、書き込みコマンドにより同一領域に対して書き込みを行なうことができる。そのような書き換え処理を单一のコマンド、即ち書き換えコマンドで実現することができる。すなわち、前記制御手段は、書き換え第1コマンドが供給されると書き換えアドレスを取り込むと共に、書き込みデータをデータラッチ回路に取り込み、書き換え第2コマンドが供給された後、前記書き換えアドレスで指定された領域の消去を行ない、次いで、データラッチ回路に保持されているデータに基づいて書き込み動作を制御する。これによりセクタ全データ書き換えを单一のコマンドで実現できる。

【0028】また、セクタの一部に対するデータ書き換えを单一のコマンドで実現することも可能である。すなわち、前記制御手段は、書き換え第1コマンドが供給されると書き換えアドレスを取り込み、取り込んだアドレスのデータをデータラッチ回路に退避し、退避の後に書き換えアドレスの範囲内で書き換えアドレスを指定して書き込みデータをデータラッチ回路に取り込み、書き換え第2コマンドが供給された後、前記書き換えアドレスで指定されたセクタ領域の消去を行ない、次いで、前記書き換えアドレスで指定されたセクタ領域のデータラッチ回路に保持されているデータに基づいて書き込み動作を制御する。

【0029】〔5〕半導体装置をファイルメモリ等に利用する場合、半導体装置のセクタには管理領域を割り当

て、残りの部分をユーザ領域として開放することができる。管理領域には例えば書き換え回数やセクタの良／不良の情報などが格納され、ユーザによるセクタ単位での消去において、自動的に管理領域は消去対象外にするコマンドをサポートすることが、半導体装置、更にはファイリメモリの使い勝手を良好にする。この観点に立てば、部分消去コマンドをサポートすればよい。すなわち、前記制御手段は、部分消去第1コマンドが供給されるとセクタアドレスを取り込み、次いで部分消去第2コマンドが供給されると、セクタアドレスで指定される領域中の一定領域に対応されるデータラッチには当該一定領域のデータを退避すると共にその他の領域に対応されるデータラッチ回路には消去状態を指示するデータをセットし、更に、前記セクタアドレスで指定された領域に対する消去を行なってから、前記データラッチ回路に設定されたデータに従って書き込み制御を行なう。

【0030】〔6〕前記半導体装置をカード基板に、該半導体装置をアクセス制御するメモリコントローラ及びメモリコントローラに接続される外部インタフェース回路と共に搭載してメモリカードを実現できる。

【0031】また、前記半導体装置と、前記半導体装置をアクセス制御するメモリコントローラと、メモリコントローラを制御するプロセッサとを含んでデータ処理システムを構成することができる。

【0032】リトライ書き込みコマンドに着目すれば、前記半導体装置による書き込み動作の異常終了を検出した時、リトライ書き込みコマンドと書き込みアドレスとを前記半導体装置に向けて出力する制御装置とを含んでデータ処理システムを構成することができる。

【0033】また、前記リカバリ読み出しコマンドに着目すれば、半導体装置による書き込み動作の異常終了を検出した時、リカバリ読み出しコマンドを当該異常終了に係る半導体装置に向けて出力すると共に、リカバリ読み出しコマンドが供給された半導体装置が outputする書き込みデータを取り込み、取り込んだ書き込みデータを別の半導体装置に書き込み制御する制御装置を含んでデータ処理システムを構成することができる。

【0034】

【発明の実施の形態】《フラッシュメモリの全体構成》図1には本発明の第1の実施形態に係るところの、一つのメモリセルに2ビットの情報を書き込むことができ、かつその情報を読み出すことができるフラッシュメモリ1の全体的な構成が示されている。

【0035】3で示されるものはメモリアレイであり、メモリマット、データラッチ回路及びセンスラッチ回路を有する。メモリマット3は電気的に消去及び書き込み可能な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタは、例えば図2に例示されるように、半導体基板若しくはメモリウェルSUBに形成されたソースS及びドレインDと、チャンネル領域にトン

ネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートCGを有して構成される。コントロールゲートCGはワード線6に、ドレインDはビット線5に、ソースSは図示を省略するソース線に接続される。

【0036】外部入出力端子I/00～I/07は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子I/00～I/07から入力されたXアドレス信号はマルチブレクサ7を介してXアドレスバッファ8に供給される。Xアドレスデコーダ9はXアドレスバッファ8から出力される内部相補アドレス信号をデコードしてワード線を駆動する。

【0037】前記ビット線5の一端側には、図示を省略するセンスラッチ回路が設けられ、他端には同じく図示を省略するデータラッチ回路が設けられている。ビット線5はYアドレスデコーダ11から出力される選択信号に基づいてYゲートアレイ回路13で選択される。外部入出力端子I/00～I/07から入力されたYアドレス信号はYアドレスカウンタ12にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデコーダ11に与えられる。

【0038】Yゲートアレイ回路13で選択されたビット線は、データ出力動作時には出力バッファ15の入力端子に導通され、データ入力動作時にはデータ制御回路16を介して入力バッファ17の出力端子に導通される。出力バッファ15、入力バッファ17と前記入出力端子I/00～I/07との接続は前記マルチブレクサ7で制御される。入出力端子I/00～I/07から供給されるコマンドはマルチブレクサ7及び入力バッファ17を介してモード制御回路18に与えられる。前記データ制御回路16は、入出力端子I/00～I/07から供給されるデータの他に、モード制御回路18の制御に従った論理値のデータをメモリアレイ3に供給可能にする。

【0039】制御信号バッファ回路19には、アクセス制御信号としてチップイネーブル信号CEb、出力イネーブル信号OEb、書き込みイネーブル信号WEb、シリアルクロック信号SC、リセット信号RESb及びコマンドイネーブル信号CDEbが供給される。モード制御回路18は、それら信号の状態に応じて外部との信号インターフェース機能などを制御し、また、コマンドコードに従って内部動作を制御する。入出力端子I/00～I/07に対するコマンド又はデータ入力の場合、前記信号CDEbがアサートされ、コマンドであれば更に信号WEbがアサート、データであればWEbがネゲートされる。アドレス入力であれば、前記信号CDEbがネゲートされ、信号WEbがアサートされる。これにより、モード制御回路18は、外部入出力端子I/00～I/07からマルチブレクス入力されるコマンド、データ及びアドレスを区別できる。モード制御回路18は、消去や書き込み動作中

にレディー・ビジー信号R/Bbをアサートしてその状態を外部に知らせることができる。

【0040】内部電源回路20は、書込み、消去ペリファイ、読み出しなどのための各種動作電源21を生成して、前記Xアドレスデコーダ9やメモリセルアレイ3に供給する。

【0041】前記モード制御回路18は、コマンドに従ってフラッシュメモリ1を全体的に制御する。フラッシュメモリ1の動作は、基本的にコマンドによって決定される。

【0042】フラッシュメモリに割り当てられているコマンドは、例えば図3に例示されるように、読み出し、リカバリー読み出し、消去、書込み、追加書込み、リトライ書込み、部分消去、及び書き換えの各コマンドとされる。同図においてコマンドコードは16進数表記としてある。読み出し動作に関するコマンド（読み出し、リカバリー読み出し）、書き込み動作に関するコマンドのうち書き込みデータの供給を要しないコマンド（リトライ書込み）は第1コマンドによって構成され、それ以外のコマンドは第1及び第2コマンドから構成される。コマンドの夫々の内容については後で詳述する。

【0043】フラッシュメモリ1はその内部状態を示すためにステータスレジスタ180を有し、その内容は、信号OEbをアサートすることによって入出力端子I/00～I/07から読み出すことができる。ステータスレジスタ180の各ビット内容と入出力端子I/00～I/07との対応が図4に例示されている。

【0044】図5には前記メモリアレイ3に含まれるデータラッチ回路とセンスラッチ回路との関係が示されている。中央にセンスラッチ回路SLのアレイSLAが配置され、センスラッチ回路SLの一方の入出力ノード側にはスイッチ回路・演算回路アレイ30L、メモリマットMMI、スイッチ回路・演算回路アレイ31L、及び上位データラッチ回路DLLのアレイDLRAが配置され、他方の入出力ノード側にも同様に、スイッチ回路・演算回路アレイ30R、メモリマットMMR、スイッチ回路・演算回路アレイ31R、及び下位データラッチ回路DLRのアレイDLRAが配置されている。更に図5に示されるように、一対のビット線に着目してその構成を把握すれば、スタティックラッチ形態のセンスラッチ回路SLの一対のデータ入出力ノードSLL、SLRにはビット線G-BLL、G-BLRを介してデータラッチ回路DLL、DLRが設けられている。データラッチ回路DLL、DLRはYゲートアレイ回路13を介して供給される書込みデータビットをラッチすることができる。この例に従えば、フラッシュメモリ1は、8ビットの入出力端子I/00～I/07を有するから、1回の書込みデータ入力によって4対のビット線のデータラッチ回路DLL、DLRに書込みデータをセットすることができる。データセットの態様は、図6のデータラッチDD

L、DLRと入出力端子I/04、I/00との対応関係に代表されるように、一定にされる。ここでの説明では、書込みの単位をワード線単位とするので、1本分のワード線に選択端子が結合する全てのメモリセルのビット線に関するデータラッチ回路DLL、DLRに書込みデータをセットした後、書込み電圧印加による書込み動作が行なわれることになる。

【0045】図1に示されるフラッシュメモリ1が実現しようとする多値情報記憶技術において、一つのメモリセルの情報記憶状態は、消去状態（“11”）、第1の書込み状態（“10”）、第2の書込み状態（“00”）、第3の書込み状態（“01”）の中から選ばれた一つの状態とされる。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。即ち、2ビットのデータを一つのメモリセルで記憶する。この4値のデータと閾値電圧との関係は、図7の閾値電圧分布図に示される通りである。

【0046】図7に示されるような閾値分布を得るには、書込み動作時にワード線に印加する書込みペリファイ電圧を相互に異なる3種類設定し、これらを順次切り替えて、3回に分けて書込み動作を行なう。図7において、VWV1、VWV2、VWV3は夫々第1書込み状態、第2書込み状態、第3書込み状態を得る時に用いる書込みペリファイ電圧である。

【0047】それら3回に分けた個々の書込み動作において、ワード線とビット線の電圧印加状態の一例は図8に示される。書込み選択のビット線には0V、非選択のビット線には6Vを印加する。特に制限されないが、ワード線は例えば17Vとされる。前記書き込み高電圧印可時間を多くするにしたがってメモリセルの閾値電圧が上昇される。3種類の書き込み閾値電圧制御は、そのような高電圧状態の時間制御、更にはワード線に印可する高電圧のレベル制御によって行なうことができる。

【0048】ビット線に0Vを印加するか、6Vを印加するかは、センスラッチ回路SLにラッチさせる書込み制御情報の論理値で決定される。詳細は後で説明するが、書込み動作選択メモリマット側においてセンスラッチのラッチデータが論理値“1”で書込み非選択、論理値“0”で書き込み選択となるように制御される。その制御の詳細は後述する。尚、前記スイッチ回路・演算回路にはプリチャージ回路が含まれており、このプリチャージ回路は、センスラッチのラッチデータが“1”でビット線に6Vが印加されるとき、予めビット線をプリチャージしておくように動作する。このように、予めプリチャージ回路でプリチャージを行なっておくことにより、ビット線に6Vを与える際のピーク電流を低減することができる。

【0049】上記センスラッチ回路に対する書込み制御情報のラッチ動作は、前記3回に分けた書込み動作の各動作毎に制御される。この書込み制御はモード制御回路

18が行い、そのとき、前記センスラッチ回路S Lがラッチすべき書き込み制御情報は、データラッチ回路D L L, D L Rが保持している書き込みデータビットを用いた演算を書き込み動作毎に行なって生成し、それをセンスラッチ回路S Lにラッチさせる。例えば、図6に例示されるように、データラッチ回路D L L, D L Rにラッチされた書き込みデータが“0 1”であったとすると、図7に例示されるように“0 1”状態は第3の書き込み状態である。消去状態の後の3回に分けた書き込み動作が、図9の第2の態様(Case2)の如く閾値電圧の低い順に書き込み状態を生成していく書き込み手順が採用されている場合、第1回目に第1の書き込み状態を得るための書き込み動作時にデータラッチ回路D L L, D L Rの書き込みデータ(“0 1”)を用いて演算された結果は論理値“1”、第2回目に第2の書き込み状態を得るための書き込み動作時にデータラッチ回路D L L, D L Rの書き込みデータ(“0 1”)を用いて演算された結果は論理値“1”、第3回目に第3の書き込み状態を得るための書き込み動作時にデータラッチ回路D L L, D L Rの書き込みデータ(“0 1”)を用いて演算された結果は論理値“0”とされる。そのような演算は、前記スイッチ回路・演算回路を動作させて行なう。したがって、第3回目の書き込み時だけ、書き込み電圧が印加され、当該メモリセルには4値の内の第3の書き込み状態(“0 1”)が実現される。

【0050】このようにして、3回に分けて書き込み動作が行なわれたとき、最初にデータラッチ回路D L L, D L Rにラッチされた書き込みデータは破壊されず、そのまま維持されている。データラッチ回路D L L, D L Rにラッチされた2ビットの書き込みデータを、書き込み動作毎に演算に用いて毎回センスラッチ回路S Lにセットするという、制御シーケンスを採用するからである。

【0051】尚、書き込み動作において閾値電圧を変化させる順番などは図9の第2の態様(Case2)に限定されず、第1の態様(Case1)のように閾値電圧の高いものから設定したり、或いは第3の態様(Case3)のようにどの書き込み状態に対しても1回の書き込み動作で得る閾値電圧の変化率を同じようにしたり、或いは第4の態様(Case4)又は第5の態様(Case5)の如く制御することも可能である。

【0052】データ読み出し動作時は、ワード線に印加するワード線選択レベルとしての電圧を、3種類設定し、3種類のワード線選択レベルを順次変更しながら3回の読み出し動作を行い、個々の読み出し動作でメモリセルから読み出される2値(1ビット)のデータをセンスラッチ回路4にラッチする。ラッチされる度に、センスラッチされた内容をデータラッチ回路の2ビットの情報に反映させる演算を行なう。3回のセンスラッチの結果によってデータラッチ回路D L L, D L Rに得られた2ビットが、当該メモリセルが保有する4値の情報に対応されるデータとされる。

【0053】《メモリアレイの詳細》次に、上記メモリアレイの詳細を説明する。図10には、上記フラッシュメモリにおけるセンスラッチ回路及びデータラッチ回路を中心とする回路構成の一例が示される。図10から明らかなように、センスラッチ回路S Lの左右のビット線G-B L L, G-B L Rの周りの構成は、センスラッチ回路S Lを中心鏡面対称構造とされる。

【0054】メモリマットMML, MMRは電気的に書き換え可能な複数個のメモリセルMC(代表的に数個が図示されている)を有する。1個のメモリセルMCは、図2に示される通り、コントロールゲート、フローティングゲート、ソース及びドレインを持ち電気的に書き換え可能な1個のトランジスタ(メモリセルトランジスタ)によって構成される。メモリセルのレイアウト構造は、特に制限されないが、所謂AND型とされる。メモリマットMMR側に例示されるように、AND型の構成では、複数個の前記メモリセルトランジスタがそれらに共通のソース及びドレインを構成する夫々の拡散層(半導体領域)を介して並列配置され、ドレインを構成する拡散層は選択トランジスタM1を介してビット線G-B L Rに、ソースを構成する拡散層は選択トランジスタM2を介して共通ソース線VMMRに結合されている。AND型メモリセル構造の詳細については後で説明する。S S iは選択トランジスタM2のスイッチ制御信号、S D iは選択トランジスタM1のスイッチ制御信号である。WLはメモリセルMCのコントロールゲートに結合されるワード線である。メモリマットMMLも同様に構成されている。尚、本明細書に添付された図面においてPチャンネル型MOSトランジスタはその基体ゲートに矢印を付してNチャンネル型MOSトランジスタと区別して図示してある。

【0055】前記センスラッチ回路S Lは、一对のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。S L R, S L Lはセンスラッチ回路S Lの一对の入出力ノードである。SLP, S LNはセンスラッチ回路S Lの動作電源である。MOSトランジスタM3 L, M4 Lの直列回路とMOSトランジスタM3 R, M4 Rの直接回路は、前記センスラッチ回路S Lに相補信号でデータを入力するカラムスイッチ回路を構成する。MOSトランジスタM5 L, M5 Rは入出力ノードS L L, S L Rを選択的にディスチャージする。

【0056】前記データラッチ回路D L Rは、一对のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。DLRR, D L R Lはデータラッチ回路D L Rの一对の入出力ノードである。D L PR, D L NRはデータラッチ回路D L Rの動作電源である。M

OSトランジスタM6L, M7Lの直列回路とMOSトランジスタM6R, M7Rの直接回路は、前記データラッチ回路DLRに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM8L, M8Rは入出力ノードDLRL, DLRRを選択的に電圧FPCにチャージするトランジスタである。

【0057】前記データラッチ回路DLLは、一对のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路、によって構成されている。DLRL, DLLはデータラッチ回路DLLの一対の入出力ノードである。DLPL, DLNLはデータラッチ回路DLLの動作電源である。MOSトランジスタM9L, M10Lの直列回路とMOSトランジスタM9R, M10Rの直接回路は、前記データラッチ回路DLLに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM11L, M11Rは入出力ノードDLLL, DLLRを選択的に電圧FPCにチャージするトランジスタである。

【0058】前記スイッチ回路・演算回路30Rは、MOSトランジスタM20R～M25Rによって構成される。トランジスタM20Rはセンスラッチ回路SLの入出力ノードSLRの電圧レベルをゲートに受け、それがハイレベルのとき、電圧FPCをMOSトランジスタM21Rを介してビット線G-BLRに供給する。供給される電圧レベルは制御信号PCRの電圧レベルによるMOSトランジスタM21Rのコンダクタンス制御で決定される。トランジスタM22Rは入出力ノードSLRとビット線G-BLRとを選択的に導通させるトランസファゲートを構成する。MOSトランジスタM23Rはオール判定に利用される。MOSトランジスタM24R, M25Rはビット線G-BLRのプリチャージ、ディスチャージに利用される。前記スイッチ回路・演算回路30LもMOSトランジスタM20L～M25Lによって、同様に構成される。尚、MOSトランジスタM20L, M22L, M24L, M25Lのゲート制御信号は前記MOSトランジスタM20R, M22R, M24R, M25Rとは相違される。

【0059】前記スイッチ回路・演算回路31Rは、MOSトランジスタM26R～M28Rによって構成される。トランジスタM26Rはデータラッチ回路DLRの入出力ノードDLRLの電圧レベルをゲートに受け、それがハイレベルのとき、電圧FPCをMOSトランジスタM27Rを介してビット線G-BLRに供給する。供給される電圧レベルは制御信号PCDRの電圧レベルによるMOSトランジスタM27Rのコンダクタンス制御で決定される。トランジスタM28Rは入出力ノードDLRLとビット線G-BLRとを選択的に導通させるトランസファゲートを構成する。前記スイッチ回路・演算

回路31LもMOSトランジスタM26L～M28Lによって、同様に構成される。尚、MOSトランジスタM27L, M28Lのゲート制御信号は前記MOSトランジスタM27R, M28Rとは相違される。

05 【0060】図10の構成において、読み出し、書き込みにおける基本的な回路動作は以下のようにされる。例えば、図10においてメモリマットMMRに含まれるメモリセルMCに対して、ペリファイ動作における読み出しを行う場合には、非選択メモリマットMML側のセットMOSトランジスタM5Lをオン状態とし、センスラッチSLを活性化して、当該センスラッチSLの入出力ノードSLRにハイレベルをラッチさせる。そして、PCRを例えば1V+Vthに制御してビット線G-BLRを1Vにプリチャージする。一方、非選択メモリマットMML側では、MOSトランジスタM24Lのゲート電圧RPCLを0.5V+Vthに制御してビット線G-BLLを0.5Vにプリチャージする。この0.5Vはセンスラッチ回路SLによるセンス動作のリファレンスレベルとされる。一方、読み出しコマンドに応じた読み出し動作では、選択メモリマット(MMR)側の信号RPCRを1V+Vthにし、非選択メモリマット(MML)側の信号RPCLを0.5V+Vthにすることにより、一括して選択メモリマット側ビット線を1Vにプリチャージし、非選択メモリマット側ビット線を0.5Vにプリチャージする。もちろん、選択メモリマットがMMLで、非選択メモリマットがMMRであれば、信号RPCRが0.5V+Vthにされ、信号RPCLが1V+Vthにされる。プリチャージされた上記0.5Vは、上述のようにリファレンスレベルとして使われる。ワード線選択動作の後、トランസファMOSトランジスタM221, M22Rがオン動作され、この時、センスラッチ回路SLは、ビット線G-BLRのレベルが0.5Vよりも高いか低いかをセンスして、メモリセルMCからの読み出しデータをラッチする。

20 【0061】また、書き込みでは、書き込み制御情報がセンスラッチSLにラッチされた後、MOSトランジスタM21R, M21Lのゲート制御信号PCR及びPCLをハイレベルに制御し、これによってセンスラッチ回路SLのハイレベル側入出力ノードに結合するビット線が

25 MOSトランジスタM20RまたはM20Lを介してハイレベルにプリチャージされ、その後、MOSトランジスタM22R, M22Lがオン状態にされ、センスラッチ回路の電源SLPからセンスラッチ回路のハイレベル側入出力ノードに結合されたビット線へ電圧が印加される。この時、書き込みが選択されているメモリマットの書き込みセクタのワード線には書き込み高電圧が印加されている。これにより、書き込み選択メモリマット側で書き込み電圧が印加されたコントロールゲートに接続するメモリセルのうち、ビット線が接地電圧のようなローレベルにされているメモリセルが書き込み対象とされる。

30

35

40

45

50

【0062】前記オール判定用のトランジスタM23L, M23Rは次の様に用いられる。MOSトランジスタM23L, M23Rは、そのゲートが対応するビット線に、そのソースが接地電位に結合される。図10に代表的に示された1個のセンスラッチ回路SLを中心としたビット線G-BLL, G-BLRに係る構成は実際には多数存在している。センスラッチ回路SLを挟んで図10の左側のトランジスタM23Lのドレインは端子ECLに全て共通接続され、ビット線G-BLLに代表される左側のビット線の状態（レベル）に応じた電流が当該端子ECLに流される。同様に、センスラッチ回路SLを挟んで図10の右側のトランジスタM23Rのドレインも全て端子ECRに共通接続され、当該端子ECRには、ビット線G-BLRに代表される右側のビット線の状態（レベル）に応じた電流が流される。特に図示はしないが、端子ECL (ECR) の変化に基づいてセンスラッチ回路SLの左（右）側の全てのビット線G-BLL (G-BLR) の状態が同じ状態になったかを検出する電流センス型のアンプが設けられている。このアンプは、消去ペリファイ又は書き込みペリファイの対象とされる全てのメモリセルが所定のしきい値電圧になったかを検出すること、即ちオール判定に用いられる。

【0063】図10に例示されたメモリマットMMR, MMLの構成はAND型である。AND型メモリマットの更に詳細な一例は図11に示される。特に図示はしないが、図11に示されるメモリセルは2層のメタル配線層を用いるプロセスによって形成される構造とされ、メモリセルMC及び選択MOSトランジスタM1, M2は並列された縦方向の拡散層と横方向に延在されたポリシリコン等から成るコントロールゲートとの交差位置に形成されている。フラッシュメモリのメモリセルMCは例えばP型基板上に構成されたNチャンネル型MOSトランジスタとされる。

【0064】フラッシュメモリのメモリマットはAND型に限定されず、図12に示されるNOR型、図13に示されるDiNOR型、図14に示されるNAND型、図15に示されるHiCR型等の別の構造とすることも可能である。何れの構造であってもフラッシュメモリのメモリセルは基本的には全て同じ構成を備えているが、メモリセルをアレイ状に配置したとき、個々のメモリマットの特徴が現われる。前記NOR型はメモリ毎にビット線（メタル配線層）とのコンタクトが必要であるため占有面積を小さくすることが難しいが、NAND型、DiNOR型、AND型ではビット線とのコンタクトをブロック毎に配置すれば済むので、占有面積の低減を図ることができる。

【0065】《書き込み動作の詳細》図16には第1コマンド(1FH)及び第2コマンド(40H)によって指定される書き込み動作の一例フローチャートが示される。この書き込みはワード線を一単位とする書き込み

（セクタ書き込み）とされる。

【0066】先ず、第1コマンド(1FH)が取り込まれると(S1)、次の入力をセクタアドレスとして取り込み(S2)、セクタアドレス取り込みの後の入力は、05 第2コマンド(40H)が取り込まれるまで(S4)、書き込みデータとして取り込まれる(S3)。ステップS2で取り込まれるセクタアドレスは、Xアドレスであり、これによって、書き込み高電圧を印可する1本のワード線を選択することになる。ステップS3における繰り返し的な書き込みデータの取り込みは、Yアドレスカウンタ12を初期値から漸次インクリメントしながらバイト単位で、データラッチ回路DLL, DLRに対して行われる。例えば、図5に示されるように、一つのセンスラッチ回路アレイSLAに関する一対のメモリマット15 MML, MMRに割り当てられたデータラッチ回路アレイDLLA, DLRAに、書き込みデータがラッチされる。例えば1本のワード線にn個のメモリセルのコントロールゲートが結合されているとすると、データラッチ回路アレイDLLA, DLRAには、夫々nビットの書き込みデータがラッチされる。

【0067】書き込みデータをラッチした後、“01”書き込み処理TS1、“00”書き込み処理TS2、“10”書き込み処理TS3、エラティック/ディスタンス検出処理TS4が行われる。

25 【0068】前記“01”書き込み処理TS1は、例えば図17に示されるように、4値の内の一つの状態である消去状態（“11”）に対して、メモリセルMCの閾値電圧を、第3の書き込み状態（“01”）にするための処理であり、書き込みペリファイ電圧としてVWV3を用いる。“01”書き込み処理TS1は、図16に概略的に示されるように、データラッチ回路DLL, DLRにラッチされた2ビットの“01”データに応答してイネーブルレベルの書き込み制御データをセンスラッチ回路SLにラッチさせ（“01”データラッチ）、ラ35 ッチされたイネーブルレベルの書き込み制御データによってメモリセルトランジスタに“01”データに応する書き込み動作を行い（“01”データ書き込み）、その書き込み動作に対するVWV3による書き込みペリファイを行なう処理（書き込みペリファイVWV3）に大別される。

40 【0069】前記“00”書き込み処理TS2は、例えば図18に示されるように、4値の内の一つの状態である消去状態（“11”）に対して、メモリセルMCの閾値電圧を、第2の書き込み状態（“00”）にするための処理であり、書き込みペリファイ電圧としてVWV2を用いる。この“00”書き込み処理TS2は、図16に概略的に示されるように、データラッチ回路DLL, DLRにラッチされた2ビットの“00”データに応答してイネーブルレベルの書き込み制御データをセン50 スラッチ回路SLにラッチさせ（“00”データラッ

チ)、ラッチされたイネーブルレベルの書き込み制御データによってメモリセルトランジスタに“00”データに応ずる書き込み動作を行い(“00”データ書き込み)、その書き込み動作に対するVWV2による書き込みペリファイを行なう処理(書き込みペリファイVWV2)に大別される。

【0070】前記“10”書き込み処理TS3は、例えば図19に例示されるように、4値の内の一つの状態である消去状態(“11”)に対して、メモリセルMCの閾値電圧を、第1の書き込み状態(“10”)を得るための処理であり、書き込みペリファイ電圧としてVWV1を用いる。前記“10”書き込み処理TS3は、図16に概略的に示されるように、データラッチ回路DLL, DLRにラッチされた2ビットの“10”データに応答してイネーブルレベルの書き込み制御データをセンスラッチ回路SLにラッチさせ(“10”データラッチ)、ラッチされたイネーブルレベルの書き込み制御データによってメモリセルトランジスタに“10”データに応ずる書き込み動作を行い(“10”データ書き込み)、その書き込み動作に対するVWV1による書き込みペリファイを行なう処理(書き込みペリファイVWV1)に大別される。尚、前記書き込みペリファイ電圧は、VWV3>VWV2>VWV1とされる。

【0071】前記エラティック/ディスターブ検出処理TS4は、図20に例示されるように、消去状態のメモリセルの閾値電圧がVWD Sを超えているかを検出するディスターブ検出処理(図16の“11”ワードディスターブ検出VWD S)、そして“10”書き込み処理されたメモリセルトランジスタの閾値電圧がVWE 1を超えているか(図16の“10”エラティック検出VWE 1)、“00”書き込み処理されたメモリセルトランジスタの閾値電圧がVWE 2を超えているか(図16の“00”エラティック検出VWE 2)を検出する、エラティック検出処理である。

【0072】前記エラティック/ディスターブ検出処理TS4までの一連の処理結果が正常であれば、ステータスレジスタ180にバスフラグがセットされ(S5)、一連の書き込み処理が終了(OK)される。前記エラティック/ディスターブ検出処理TS4による検出結果がエラーである場合、エラー回数が規定の回数に達しているかが判定され(S6)、達していない場合は、書き込みセクタを消去して(S7)、再度“01”書き込みからやり直しされる。やり直し回数は図示を省略するカウンタ手段に保持されおり、カウンタ手段の計数値によってエラー回数が規定値に到達したかを判定する(S6)。エラー回数が規定値に到達した場合には、ステータスレジスタ180にフェイルフラグがセットされ(S8)、一連の書き込み処理が異常終了(NG)される。

【0073】図16から明らかなように、再消去を行って再び書き込みを繰り返すとき、書き込みセクタの書き

込みデータを再度取り込むことを要しない。前記ステップS3でデータラッチ回路DLL, DLRに一旦ラッチされた1セクタ分の書き込みデータは、前記処理TS1～TS4を行っても破壊されず、そのままデータラッチ回路DLL, DLRに残っているからである。

【0074】これは、センスラッチ回路SLに対する前述の書き込み制御情報のラッチ動作制御形態に依るものである。即ち、前記センスラッチ回路SLがラッチすべき書き込み制御情報は、データラッチ回路DLL, DLRが保持している書き込みデータビットを用いた演算を書き込み動作毎に行なって生成し、それをセンスラッチ回路SLがラッチする。例えば、図6に例示されるように、データラッチ回路DLL, DLRにラッチされた書き込みデータが“01”であったとすると、図7に例示されるように“01”状態は第3の書き込み状態である。消去状態の後の3回に分けた書き込み動作が、図9の第2の態様(Case2)で行われる場合、第1回目に第1の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL, DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“1”、第2回目に第2の書き込み状態を得るための書き込み動作時にデータラッチ回路DLL, DLRの書き込みデータ(“01”)を用いて演算された結果は論理値“0”とされる。そのような演算は、前記スイッチ回路・演算回路を動作させて行なう。したがって、メモリセルトランジスタは、第3回目の書き込み時だけ、書き込み用の高電界がドレインとコントロールゲートの間に印加され、当該メモリセルには4値の内の第3の書き込み状態(“01”)が実現される。

【0075】このようにして、3回に分けて書き込み動作が行なわれたとき、最初にデータラッチ回路DLL, DLRにラッチされた書き込みデータは破壊されず、そのまま維持されている。データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを、書き込み動作毎に演算に用いて毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するからである。エラティック・ディスターブ検出処理においても同様に、データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを用いて演算した結果を毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するから、このときも、最初にデータラッチ回路DLL, DLRにラッチされた書き込みデータは破壊されず、そのまま維持されている。

【0076】データラッチ回路DLL, DLRにラッチされた2ビットの書き込みデータを用いて演算した結果をセンスラッチ回路SLにラッチさせる処理(データラッチ処理)は、TS1～TS4における現在の処理との関係でその演算手法が相違される。

【0077】図21は上記データラッチ処理の演算内容の一例を論理的に示したものである。図21における演算内容は、動作選択メモリマット側のセンスラッチデータ（動作選択メモリマット側のセンスラッチ回路SLの入出力ノードデータ）に関するものである。具体的な演算手法については後で詳述するが、多センス方式と、多電源方式を採用することができる。多センス方式は、ビット線プリチャージ電圧を0V、0.5V、1.0Vの3レベルとし、センスラッチ回路SLによる複数回のセンス動作で、目的のデータをセンスラッチ回路SLにラッチさせる動作である。多電源方式は、ビット線プリチャージ電圧を0V、0.5V、1.0V、2.0Vの4レベルとし、センスラッチ回路SLによる一回のセンス動作で、目的のデータをセンスラッチ回路SLにラッチさせる動作である。

【0078】図21においてA、Bは1個のセンスラッチ回路SLに対応される2ビットの書き込みデータであり、Aはデータラッチ回路DLLにラッチされる上位データビット、Bはデータラッチ回路DLRにラッチされる下位データビットである。図21によれば、“01”書き込みデータラッチ処理の場合はデータビットAとBの反転データとの論理和、“00”書き込みデータラッチ処理の場合はデータビットAとBとの論理和、“10”書き込みデータラッチ処理の場合はデータビットAとBの反転データとBとの論理和であり、“00”エラティック検出データラッチ処理の場合はデータビットAとBの負論理和、“10”エラティック検出データラッチ処理の場合はデータビットAとBの反転データとの論理積、“11”エラティック検出データラッチ処理の場合はデータビットAとBの論理積とされる。

【0079】図21の演算論理を採用した場合、データビットA、Bの論理値に対する演算結果の論理値は図22に示される通りである。前述のように、センスラッチデータの論理値“0”（ローレベル）が書き込み電界印加（書き込み選択）を意味する。

【0080】図23には前記“01”書き込み処理TS1の更に詳細なフローチャートが例示されている。これに従えば、“01”書き込み処理TS1は、前記データラッチ処理S10、“01”書き込みバイアス印加処理S11、書き込みペリファイ処理S12、オール判定処理S13によって構成される。データラッチ処理S10は対応する2個のデータラッチ回路DLL、DLRに2ビットの書き込みデータ“01”がラッチされている場合にはセンスラッチ回路SLに書き込みイネーブルビットをラッチさせ、それ以外の書き込みデータの場合には書き込みディスエーブルレベルをセンスラッチ回路SLにラッチさせる。“01”書き込みバイアス印加処理S11は、センスラッチ回路SLに書き込みイネーブルレベルがラッチされているとき、書き込み選択メモリマットにおいて当該イネーブルレベルの入出力ノード側のビット線とコントロ

ールゲートとの間に高電界を印加する処理とされる。処理S12では書き込みペリファイ電圧VWV3によるペリファイ動作を行い、処理S13ではオール判定結果が誤りである否かを判定し、誤りがある場合には処理S10に戻される。オール判定結果が正常であれば“01”書き込み処理が終了される。前記処理TS2、TS3は、データラッチ処理のための演算手法、書き込みバイアス電圧、書き込みペリファイ電圧が夫々固有とされ、概略的な処理手順は処理TS1のフローチャートと同じであるから、それら処理の詳細なフローチャートは図示を省略してある。

【0081】図24には、前記“10”エラティック検出処理の詳細なフローチャートが例示されている。これに従えば、“10”エラティック検出処理は、データラッチ処理S20、エラティックペリファイ処理S21、及びオール判定処理S22によって構成される。データラッチ処理S20は図21及び図22に示される演算内容に従ったラッチ処理を行なう。エラティックペリファイ処理S21は、“10”書き込み処理されたメモリセルトランジスタに対して閾値電圧がVWE1を超えているかのペリファイを行い、処理S22ではオール判定結果が誤りである否かを判定し、誤りがある場合には前記ステップS6に処理が移行され、オール判定結果が正常であれば“10”エラティック検出処理は終了される。

尚、前記エラティック/ディスターク検出処理TS4のその他の処理は、図24に対してデータラッチ処理のための演算手法、ペリファイ電圧が夫々固有とされ、概略的な処理手順は“10”エラティック検出処理と同じであるから、それら処理の詳細なフローチャートは図示を省略してある。

【0082】《データラッチ処理》前記ステップS10、S20に代表されるデータラッチ処理の演算処理手法の一例は図25乃至図30に示される。それら図面では、動作選択メモリマットは図の右側のメモリマット（MMR）とされる。また、各図において、ステップ(step)毎に示された信号若しくはノードに対応して表されている数字は、小数点付き数字が電圧を意味し、小数点無し数字が論理値（ハイレベルは“1”、ローレベルは“0”）を意味する。また、データラッチ回路DDL、DLRに対応して表された括弧付き数字は、括弧外が左側の入出力ノードの論理値、括弧内数字が右側入出力ノードの論理値を意味する。

【0083】例えば、多センス方式による“01”書き込みデータラッチ処理S10の詳細を図25に基づいて詳細に説明する。

【0084】データラッチ回路DDL、DLRにはデータが既にラッチされているものとする。ラッチされているデータが“01”、“00”、“10”、“11”的4通りの場合について図示されている。ステップ2（Step2）において、先ず、非選択メモリマット側のビット

線G-BLLがトランジスタM24Lを介して0.5Vにプリチャージされ(a)、また、データラッチ回路DLRのラッチデータに従ってM26R, M27Rを用いビット線G-BLRが0.0V又は1.0Vにプリチャージされる(b)。

【0085】ステップ3(Step3)では、前記(a), (b)の結果に従って、センスラッチ回路SLを活性化してセンスラッチ動作させる。これによってセンスラッチ回路SLの左右の入出力ノードSL(L), SL(R)は図の(c), (d)の状態にされる。

【0086】ステップ4(Step4)では、ビット線G-BLLの電圧は(c)の結果に従って(e)の電圧を探り、また、他方のビット線G-BLRは論理値“0”にクリアされる。

【0087】ステップ5(Step5)では、データラッチ回路DLLの論理値“1”的ラッチデータによってトランジスタM26Lをオン動作させ、トランジスタM27L, M26Lを介して、論理値“1”をラッチするデータラッチ回路DLLに対応されるビット線G-BLLをローレベルに強制する(g)。また、センスラッチ回路SLの双方の入出力ノードSL(L), SL(R)を論理値“0”にクリアする。

【0088】ステップ6(Step6)では選択メモリマット側のビット線G-BLRを0.5Vにプリチャージする(i)。そしてステップ7(Step7)でセンスラッチ回路SLをセンス動作させると、センスラッチ回路SLの選択メモリマット側の入出力ノードSL(R)若しくはSLRは、データラッチ回路DLL, DLRに“01”がラッチされている場合にだけ、論理値“0”をラッチする(j)。前記書込みデータラッチ処理の動作タイミングの一例は図38に示されている。

【0089】センスラッチ回路SLにおいて動作選択メモリマット側の入出力ノードのラッチデータが論理値“0”である場合に、当該入出力ノードに接続されるビット線のレベルが0Vにされ、当該ビット線にドレインが接続されたメモリセルトランジスタのドレインとコントロルゲートとの間に書き込み高電界が作用され、メモリセルトランジスタに対する書き込み動作が行なわれる。

【0090】書き込み動作における前記書込みバイアス印加処理S11の動作の詳細として、書き込みバイアス開始時を示す図31と、書き込みバイアス終了時を示す図32がある。即ち、書き込み非選択メモリマットのビット線には書き込み阻止電圧が導入されている。書き込み選択メモリマット側のビット線は、センスラッチ回路SLのラッチデータに応じて、0V又は6Vにされ、ワード線に17Vの様な高電圧が印加されて、メモリセルトランジスタに対する書き込みが行なわれる。書き込み終了後、ビット線G-BLL, G-BLRはディスチャージされる。書き込み動作タイミングの一例は図39に示される。

【0091】前記書込みバイアス印加後は、前記書込みペリファイ処理S12が行なわれる。例えば、図33に例示されるように、書き込み非選択メモリマット側のビット線例えばG-BLLは、参照電圧0.5Vに、書き込み選択メモリマット側のビット線例えばG-BLRは1.0Vにプリチャージされる。

その後、図34に例示されるように、ペリファイ電圧を用いたワード線選択動作が行なわれる。ワード線選択動作により、閾値電圧がペリファイ電圧よりも低いメモリセルはオン動作され、高いメモリセルはオフ状態にされる。これによるビット線の電位差の変化による状態変化をセンスラッチ回路SLが検出し(図35)、最後に確定データをラッチする(図36)。書き込みペリファイの動作タイミングの一例は図40に示される。

【0092】センスラッチ回路SLが確定データをラッチした後、前記オール判定処理S13が行なわれる。オール判定処理では、書き込み動作非選択メモリマット側ビット線のMOSトランジスタ例えばトランジスタM23Lがオン動作するか否かを検出する。一つでも書き込み不良のメモリセルトランジスタがあれば、当該トランジスタが接続するビット線と反対側のビット線はハイレベルになり、トランジスタM23Lがオン状態にされ、電流が流れ(図37参照)。電流が流れる間は、書き込み不良であり、前述のように再度メモリセルトランジスタにバイアス印加が行なわれる。オール判定の動作タイミングの一例は図41に示される。

【0093】尚、図26には多センス方式による“00”書き込みデータラッチ処理の詳細が示され、図27には多センス方式による“10”書き込みデータラッチ処理の詳細が示され、図28には多センス方式による“00”エラティック検出データラッチ処理の詳細が示され、図29には多センス方式による“10”エラティック検出データラッチ処理の詳細が示され、図30には多センス方式による“11”ディステーブ検出データラッチ処理の詳細が示される。それら処理の具体的な内容は図25のデータラッチ処理と細部では異なるが、プリチャージ及びセンス動作を用いると言う点では共通であり、その内容は、各図より容易に理解可能であるから、詳細な説明は省略する。

【0094】図42乃至図53には多電源方式の場合におけるデータラッチ処理などの詳細が示される。図42乃至図47も図25乃至図30と同様に、動作選択メモリマットは図の右側のメモリマットとされ、各図において、ステップ(Step)毎に示された信号若しくはノードに対応して表されている数字は、小数点付き数字が電圧を意味し、小数点無し数字が論理値(ハイレベルは“1”、ローレベルは“0”)を意味する。

【0095】図42を参照しながら、例えば多電源方式による“01”書き込みデータラッチ処理について詳述する。データラッチ回路DLL, DLRにはデータが既に

ラッチされているものとする。ラッチされているデータが“01”、“00”、“10”、“11”的4通りの場合について図示されている。ステップ1(Step1)において、先ず、非選択メモリマット側のピット線G-BLLがトランジスタM24Lを介して1.0Vにプリチャージされ(a)、選択メモリマット側のピット線G-BLRがトランジスタM24Rを介して2.0Vにプリチャージされる(b)。

【0096】ステップ2(Step2)では、データラッチ回路DLの論理値“1”的ラッチデータによってトランジスタM26Lをオン動作させ、トランジスタM27L, M26Lを介して、論理値“1”をラッチするデータラッチ回路DLに対応されるピット線G-BLLをローレベルに強制する(c)。同様に、データラッチ回路DLRの論理値“1”的ラッチデータによってトランジスタM26Rをオン動作させ、トランジスタM27R, M26Rを介して、論理値“1”をラッチするデータラッチ回路DLRに対応されるピット線G-BLRをローレベルに強制する(d)。

【0097】ステップ3(Steps)では、0.0Vのピット線G-BLRを0.5Vにプリチャージする(e)。そしてステップ(Step4)でセンスラッチ回路SLをセンス動作させると、センスラッチ回路SLの選択メモリマット側の入出力ノードSL(R)若しくはSLRは、データラッチ回路DLL, DLRに“01”がラッチされている場合にだけ、論理値“0”をラッチする(f)。前記“01”書き込みデータラッチ処理の動作タイミングの一例は図48に示される。センスラッチ回路SLにおいて動作選択メモリマット側の入出力ノードのラッチデータが論理値“0”である場合に、当該入出力ノードに接続されるピット線のレベルが0Vにされ、当該ピット線にドレインが接続されたメモリセルトランジスタのドレインとコントロールゲートとの間に書き込み高電界が作用され、メモリセルトランジスタに対する書き込み動作が行なわれる。

【0098】尚、図43には多電源方式による“00”書き込みデータラッチ処理の詳細が示され、図49にはその動作波形の一例が示される。図44には多電源方式による“10”書き込みデータラッチ処理の詳細が示され、図50にはその動作波形の一例が示される。図45には多電源方式による“00”エラティック検出データラッチ処理の詳細が示され、図51にはその動作波形の一例が示される。図46には多電源方式による“10”エラティック検出データラッチ処理の詳細が示され、図52にはその動作波形の一例が示される。図47には多電源方式による“11”ディスターブ検出データラッチ処理の詳細が示され、図53にはその動作波形の一例が示される。それら処理の具体的な内容は図42のデータラッチ処理と細部では異なるが、プリチャージ及びセンス動作を用いると言う点では共通であり、その内容は、各図

より容易に理解可能であるから、詳細な説明は省略する。

【0099】図54には以上説明したフラッシュメモリの動作態様毎の各種電圧条件がまとめて図示されている。図54において、“11”データの読み出しワード線電圧は2.4V、“10”データの読み出しワード線電圧は3.2V、“00”データの読み出しワード線電圧は4.0Vである。“10”データ書き込みワード線電圧は15.1V、“00”データ書き込みワード線電圧は15.8V、“01”データ書き込みワード線電圧は17.0Vである。“10”データペリファイワード線電圧は2.8V、“00”データペリファイワード線電圧は3.6V、“01”データペリファイワード線電圧は4.5Vである。“11”ワードディスターブ検出電圧は2.1V、“10”ワードディスターブ検出電圧は3.1V、“00”ワードディスターブ検出電圧は3.9Vである。

【0100】《リトライ機能&リカバリ機能》上述のフラッシュメモリ1は、図16のフローチャートからも明らかなように、書き込み異常が生じても、その時の書き込みデータはデータラッチ回路DLL, DLRに保存されている。フラッシュメモリ1は、書き込み動作の異常終了の後、リトライ書き込みコマンドの供給を受け付けたとき、当該コマンドに伴って供給されるアドレスに、既にデータラッチ回路DLL, DLRが保持している書き込みデータの書き込み動作を行なうことができる。即ち、図55に例示されるように、フラッシュメモリ1は、リトライ書き込みコマンド(10H)を入力すると(S30)、次にセクタアドレスを入力し(S31, S32)、入力したセクタアドレス(ワード線アドレス)に、既にデータラッチDLL, DLRにラッチされている書き込みデータを書き込む動作をフラッシュメモリ内部で行なう(S33)。

【0101】また、上記フラッシュメモリ1は、書き込み動作の異常終了後の再書き込みとして、別のフラッシュメモリに再書き込みする処理の容易化を考慮してある。すなわち、フラッシュメモリ1は、図56に例示されるように、書き込み動作の異常終了の後、リカバリ読み出しコマンド(01H)の供給を受け付けたとき(S40)、データラッチ回路DLL, DLRが保持している書き込みデータを、前記出力バッファ15、マルチブレクサ7を介して入出力端子I/O0～I/O7に出力することができる(S41)。

【0102】図57には前記リトライ及びリカバリ機能を有するフラッシュメモリにおける内部動作の遷移状態が示される。電源投入によってディープスタンバイ状態(Deep standby)とされ、リセット信号のネゲートによってスタンバイ状態(Standby)にされる。スタンバイ状態からチップ選択状態にされると出力不可能状態(0put disable)とされ、コマンド入力に応じた動作が可

能にされる。コマンド入力に応じた動作は、読み出し(Read setup)、セクタ消去(Sector Erase setup)、書き込み(Program setup)などに大別される。消去又は書き込みでエラーを生じたとき、リカバリー読み出しコマンド(Recovery Read setup)、リトライ書き込みコマンド(Retry Program setup)を受け付け可能にされる。

【0103】図58には前記フラッシュメモリ1を用いたメモリカードの一例が示される。同図に示されるメモリカード200は、ローカルメモリ201、メモリコントローラ202、パッファメモリ203及び外部インターフェース回路204がカード基板に実装されて構成される。ローカルメモリ200には前記フラッシュメモリ1が多数実装されている。メモリコントローラ202は、フラッシュメモリ1及びパッファメモリ203のアクセス制御信号を生成する制御信号コントローラ210、フラッシュメモリ1及びパッファメモリ203に対するチップ選択制御を行なうアドレスコントローラ211、及びフラッシュメモリ1及びパッファメモリ203に対するデータ、コマンド及びアドレスインタフェース制御を行なうデータI/Oコントローラ212を有する。外部インターフェース回路204は例えばPCカードインターフェースに準拠する構成を有する。

【0104】図59には前記フラッシュメモリ1を用いたデータ処理システムの一例が示される。図58との相違点は、CPU若しくはマイクロプロセッサ230が接続されるコントロールバスCBUS、アドレスバスABUS及びデータバスDBUSに、ROM231やRAM232と同じように、一つの周辺回路として前記メモリコントローラ202が配置されていることである。

【0105】フラッシュメモリ1が前記リトライ機能を有することにより、当該フラッシュメモリ1をアクセス制御するメモリコントローラ210若しくはマイクロプロセッサ230は、書き込み動作の異常終了を生じたフラッシュメモリに対して書き込みアドレス若しくはセクタアドレスを変更して再書き込みを容易に行なうことができる。

【0106】また、このリカバリ機能により、複数のフラッシュメモリによって構成されるメモリカードのメモリコントローラ若しくはメモリカードをアクセス制御する制御装置は、書き込みデータを自らストアしておかなくとも、書き込み動作の異常終了を生じたフラッシュメモリとは別のフラッシュラッシュメモリに対して再書き込みを容易に行なうことができる。

【0107】図60には前記リトライ及びリカバリ機能の概念図が示される。例えば、(A)のように、メモリコントローラ202の制御で、パッファメモリ203からフラッシュメモリ1に書き込みデータ及びセクタアドレスが供給され、これによってフラッシュメモリ1は、供給されたセクタアドレスにデータを書き込む動作を行なう。その書き込み動作にエラーが発生したとき、フラッ

シュメモリ1はコントロールレジスタ180にエラーフラグを立てる。(B)のように、エラーフラグはメモリコントローラ202を介して前記マイクロプロセッサ230などに伝達される。その結果、(C)のように、メ

05 モリコントローラ202からフラッシュメモリ1にリカバリリードコマンドが outputされると、フラッシュメモリ1は、(D)のようにデータラッチ回路DLL, DLRにラッチされている書き込みデータを出力する。また、(E)のように、メモリコントローラ202がリトライ
10 書込みコマンドとセクタアドレスをフラッシュメモリ1に与えると、(F)のように、フラッシュメモリ1は、既にデータラッチ回路DLL, DLRにラッチされている書き込みデータを、新たに指定されたセクタアドレスに書き込む動作を行なう。

15 【0108】《書き換え機能》書き換え動作は、消去コマンドによって消去を行なった後、書き込みコマンドにより書き込みを行なうことによって実現できる。図3に従えば、消去コマンドを実行してから、書き込みコマンドを実行する。フラッシュメモリ1は、そのような書き換え処理を单一のコマンド、即ち書き換えコマンドで実現することができる。

20 【0109】図61には書き換えコマンドにより処理の一例が示される。すなわち、書き換え第1コマンドが供給されると(S60)、書き換え対象とすべきセクタアドレスを取り込み(S61)、取り込んだセクタアドレスのデータをデータラッチ回路DLL, DLRに読み出し(S62)、その後に書き込みデータをデータラッチ回路DLL, DLRに取り込み(S63)、書き換え第2コマンドが供給された後(S64)、前記書き換えセクタアドレスで指定されたセクタの消去を行ない(S65)、次いで、前記データラッチ回路DLL, DLRに保持されているデータで指定セクタの書き込み動作を行なう(S66)。指定セクタの書き込み動作は図16で説明した動作と同じである。この書き換えコマンドにより、
30 セクタ全データの書き換えを单一のコマンドで実現できる。

35 【0110】また、セクタの一部に対するデータ書き換えを单一のコマンドで実現することも可能である。すなわち、図62に例示されるように、書き換え第1コマンドが供給されると(S70)、書き換え対象とすべきセクタアドレスを取り込み(S71)、取り込んだセクタアドレスのメモリセルからデータをデータラッチ回路DLL, DLRに退避し(S72)、その後、セクタの先頭YアドレスYA(0)から連続して必要なYアドレスYA(k)までのデータをデータラッチ回路に取り込み(S73)、更に、必要に応じ、k < mとなるYアドレスYA(m)を取り込み(S74)、取り込んだYアドレスYA(m)から連続して必要なYアドレスYA(m+1)までのデータをデータラッチ回路に取り込む(S75)。書き換え第2コマンドが供給されると(S76)、前記書き換えアドレ

スで指定されたセクタの消去を行ない、次いで、データラッチ回路D L L, D L Rのラッチデータに基づいて指定セクタの書き換え動作を行なう(S 7 8)。指定セクタの書き換え動作は図16で説明した動作と同じである。

【0111】また、セクタの一部に対するデータ書き換え処理は図63のように実現することも可能である。すなわち、書き換え第1コマンドが供給されると(S 8 0)、書き換え対象とすべきセクタアドレスを取り込み(S 8 1)、取り込んだセクタアドレスのメモリセルからデータをデータラッチ回路D L L, D L Rに退避する(S 8 2)。その後、セクタの先頭YアドレスYA(m)を取り込み(S 8 3)、先頭YアドレスYA(m)から連続して必要なYアドレスYA(m+k)までのデータをデータラッチ回路に取り込む(S 8 4)。更に、必要に応じ、m+k < nとなるYアドレスYA(n)を取り込み(S 8 5)、取り込んだYアドレスYA(n)から連続して必要なYアドレスYA(n+1)までのデータをデータラッチ回路に取り込む(S 8 6)。前記ステップS 8 5及びS 8 6の処理は必要に応じた回数繰り返すことができる。そして、書き換え第2コマンドが供給されると(S 8 7)、前記書き換えアドレスで指定されたセクタの消去を行ない(S 8 8)、次いで、データラッチ回路D L L, D L Rのラッチデータに基づいて指定セクタの書き換え動作を行なう(S 8 9)。指定セクタの書き換え動作は図16で説明した動作と同じである。

【0112】《部分消去機能》フラッシュメモリ1をファイルメモリ等に利用する場合、セクタには管理領域を割り当て、残りの部分をユーザ領域として開放することができる。管理領域には例えば書き換え回数やセクタの良／不良の情報などが格納され、ユーザによるセクタ単位での消去において、自動的に管理領域を消去対象外にするコマンドをサポートすることが、フラッシュメモリ1、更にはファイルメモリの使い勝手を良好にする。この観点に立って、フラッシュメモリ1は、前記部分消去コマンドをサポートする。すなわち、部分消去機能を示す図64において、部分消去第1コマンドが供給されると(S 9 0)、セクタアドレスを取り込み(S 9 1)、次いで部分消去第2コマンドが供給されると(S 9 2)、セクタアドレスで指定されるセクタ中の一定領域(例えば管理領域)に対応されるデータラッチ回路D L L, D L Rには当該一定領域のデータを退避すると共に、その他の領域に対応されるデータラッチ回路D L L, D L Rには消去状態を指示するデータをセットする(S 9 3)。結果的に、指定セクタの管理領域に応ずるデータラッチ回路D L L, D L Rには読み出したデータが退避され、当該セクタの他の領域に応ずるデータラッチ回路D L L, D L Rには消去状態に応ずる“11”データがセットされる。そして、前記セクタアドレスで指定されたセクタに対する消去を行なってから、前記データラッチ回路D L L, D L Rに設定されたデータに従つ

て書き込み動作を行なう(S 9 4)。指定セクタの書き込み動作は図16で説明した動作と同じである。

【0113】図65及び図66には前記ステップS 9 3の“指定セクタデータ読み出し”動作の詳細な一例を全体として示すものであり、図66の処理は図65の処理に続く。図65及び図66において、“1”は対応ノードの電位が高い場合を意味し、“0”は対応ノードの電位が低い場合を意味する。また、図65及び図66は右側メモリマットが動作選択メモリマットとされる場合を想定している。図67には指定セクタデータ読み出しに用いるワード線選択レベルVRW1, VRW2, VRW3と閾値電圧分布との関係を示す。

【0114】図65のステップ1(Step1)では、ワード線レベルをVRW1とし、指定セクタのメモリセルのデータを読み出して、センスラッチ回路S Lにラッチさせる。ステップ2(Step2)では、センスラッチ回路S Lの右側ノードのデータをデータラッチ回路D L Rに内部転送する。ステップ3(Step3)では、ワード線レベルをVRW2とし、指定セクタのメモリセルのデータを読み出して、センスラッチ回路S Lにラッチさせる。そして、ステップ3.5(Step3.5)において、Yアドレスデコーダで選択された管理領域以外のセンスラッチ回路S Lの右側入出力ノードにデータ“0”をセットする。そして、ステップ4(Step4)において、センスラッチ回路S Lの左側ノードのデータをデータラッチ回路D L Lに内部転送する。これにより、データラッチ回路D L Lには所要一部の読み出しデータだけが退避されることになる。

【0115】ステップ5(Step5)では、ワード線レベルをVRW3とし、指定セクタのメモリセルのデータを読み出して、センスラッチ回路S Lにラッチさせる。そして、ステップ5.5(Step5.5)において、Yアドレスデコーダで選択された管理領域以外のセンスラッチ回路S Lの右側入出力ノードにデータ“1”をセットする。そして、ステップ6(Step6)において、データラッチD L RのラッチデータをトランジスタM 28 Rを通してビット線G-B L Rに内部転送する。そして、ステップ7(Step7)において、その右側入出力ノードS L Rに“1”データが設定されているセンスラッチ回路S Lに対応する右側ビット線G-B L Rをローレベルに制御し、ステップ8(Step8)で、センスラッチ回路S Lからデータラッチ回路D L Rにデータを転送する。これにより、管理領域のデータラッチ回路D L L, D L Rには、指定セクタの読み出しデータの4値の情報が格納され、指定セクタの他の領域(メモリ領域)に応ずるデータラッチ回路D L L, D L Rには消去状態を指示するデータが格納される。

【0116】以上説明したフラッシュメモリ、メモリカード、データ処理システムによれば、以下の作用効果を得ることができる。

【0117】(1)外部から与えられる書き込みデータをデータラッチ回路D L L, D L Rにラッチし、ラッチし

た書き込みデータが多値のどの閾値に対応するかは複数段階の書き込み動作毎に判定してその判定結果である書き込み情報をセンスラッチ回路S Lにラッチさせ、センスラッチS Lにラッチされた書き込み情報に従って、多値の閾値電圧をメモリセルに設定するための書き込み動作を段階的に行なう。よって、書き込み動作が終了しても、データラッチ回路D L L, D L Rには、当初外部から供給された書き込みデータが残っている。したがって、前記ワードディスクターブ検出若しくはエラティック検出の結果により、メモリセルMCに対する多値情報の書き込み動作を再度行なう場合にも書き込みデータを再度外部から受け取ることを要しない。

【0118】〔2〕書き込み異常が生じても、その時の書き込みデータはフラッシュメモリ内部のデータラッチ回路D L L, D L Rに保存されているから、書き込み動作の異常終了の後、リトライ書き込みコマンドの供給を受け付けたとき、当該コマンドに伴って供給されるアドレスに、既にデータラッチ回路が保持している書き込みデータを書き込み制御させることができる。フラッシュメモリがそのようなリトライ機能を有することにより、当該フラッシュメモリをアクセス制御するメモリコントローラは、書き込み動作の異常終了を生じた半導体装置に対して書き込みアドレス若しくはセクタアドレスを変更して再書き込みを容易に行なうことができる。

【0119】〔3〕フラッシュメモリは、書き込み動作の異常終了の後、リカバリ読み出しコマンドの供給を受け付けたとき、データラッチ回路D L L, D L Rが保持している書き込みデータを外部に出力する。このリカバリ機能により、複数の半導体装置によって構成されるメモリカードのメモリコントローラ若しくはメモリカードをアクセス制御する制御装置は、書き込み動作の異常終了を生じたフラッシュメモリとは別のフラッシュメモリに対して同一データを容易に再書き込みすることができる。

【0120】〔4〕書き換え第1コマンドが供給されると書き換えアドレスを取り込むと共に、書き込みデータをデータラッチ回路に取り込み、書き換え第2コマンドが供給された後、前記書き換えアドレスで指定された領域の消去を行ない、次いで、データラッチ回路に保持されているデータに基づいて書き込み動作を制御する。これによりセクタ全データ書き換えを単一のコマンドで実現できる。

【0121】〔5〕部分消去コマンドをサポートすることにより、セクタの管理領域などを自動的に消去対象から外すことができる。

【0122】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0123】例えば、1個のメモリセルが保有する情報は4値に限定されず、それ以上であってもよい。例えば8

値とする場合、ビット線に接続されるデータラッチ回路の数を更に増やせばよい。また、データラッチ処理の演算手法は上記の説明に限定されず、適宜変更可能である。また、メモリマットの数、書き込み電圧条件、消去電

05 圧条件、ペリファイ電圧条件なども適宜変更可能である。また、消去状態と書き込み状態は上述の説明とは逆に定義することも可能である。また、本発明に係る半導体装置はフラッシュメモリのようなメモリチップに限定されず、フラッシュメモリ内蔵マイクロコンピュータなどのデータ処理用若しくは論理動作用の半導体装置にも広く適用することができる。また、本発明はEEPROMにも適用可能である。

【0124】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0125】すなわち、個々のメモリセルに多値の情報を書き込むため外部からデータラッチ回路に供給された書き込みデータが書き込み動作によっても失われることはない。したがって、書き込み動作が終了しても、データラッチ回路には、当初外部から供給された書き込みデータが残っているから、ワードディスクターブ検出若しくはエラティック検出の結果により、メモリセルに対する多値情報の書き込み動作を再度行なう場合にも書き込みデータを再度外部から受け取ることを要しない。

【0126】また、メモリセルに対する多値情報の書き込み動作を再度行なう場合に書き込みデータを再度外部から受け取ることを要しない。

【0127】書き込み動作の異常終了時に、内部で保持されている当該異常終了に係る書き込みデータを別のメモリアドレスを指定して再書き込み可能である。

【0128】書き込み動作の異常終了時に当該異常終了に係る書き込みデータを外部に出力可能である。

【図面の簡単な説明】

35 【図1】本発明の第1の実施形態に係るところの、一つのメモリセルに2ビットの情報を書き込むことができ、かつその情報を読み出すことができるフラッシュメモリ1の全体的なブロック図である。

【図2】メモリセルトランジスタの一例を示すデバイス40 説明図である。

【図3】フラッシュメモリのコマンドの一例を示す説明図である。

【図4】ステータスレジスタの各ビット内容と入出力端子I/00～I/07との対応の一例を示す説明図である。

45 【図5】メモリアレイに含まれるデータラッチ回路、ビット線及びセンスラッチ回路の接続関係の一例を示す説明図である。

【図6】データラッチ回路と入出力端子I/04, I/00との対応関係の一例を示す説明図である。

50 【図7】4値のデータと閾値電圧との関係を閾値電圧分

布図で示す説明図である。

【図8】セクタ一括消去と書き込みの電圧条件の一例を示す説明図である。

【図9】4値書き込み処理における種々の書き込み態様を例示的に示す説明図である。

【図10】フラッシュメモリにおけるセンスラッチ回路及びデータラッチ回路を中心とする構成の一例を示す回路図である。

【図11】AND型メモリマットの一例回路図である。

【図12】NOR型メモリマットの一例回路図である。

【図13】DiNOR型メモリマットの一例回路図である。

【図14】NAND型メモリマットの一例回路図である。

【図15】HiCR型メモリマットの一例回路図である。

【図16】第1コマンド(1FH)及び第2コマンド(40H)によって指定される書き込み動作の一例フローチャートである。

【図17】“01”書き込み処理TS1の概略説明図である。

【図18】“00”書き込み処理TS2の概略説明図である。

【図19】“10”書き込み処理TS3の概略説明図である。

【図20】エラティック/ディスターブ検出処理TS4の概略説明図である。

【図21】データラッチ処理の演算内容の一例を論理的に示した説明図である。

【図22】図21の演算論理を採用した場合データビットA, Bの論理値に対する演算結果の論理値を示す説明図である。

【図23】“01”書き込み処理TS1の更に詳細な一例を示すフローチャートである。

【図24】“10”エラティック検出処理の詳細ない値例を示すフローチャートである。

【図25】多センス方式による“01”書き込みデータラッチ処理の一例を示す説明図である。

【図26】多センス方式による“00”書き込みデータラッチ処理の一例を示す説明図である。

【図27】多センス方式による“10”書き込みデータラッチ処理の一例を示す説明図である。

【図28】多センス方式による“00”エラティック検出データラッチ処理の一例を示す説明図である。

【図29】多センス方式による“10”エラティック検出データラッチ処理の一例を示す説明図である。

【図30】多センス方式による“11”ディスターブ検出データラッチ処理の一例を示す説明図である。

【図31】書き込み動作における書き込みバイアス印加処理S11の最初の動作の詳細を示す説明図である。

【図32】書き込み動作における書き込みバイアス印加処理S11の最後の動作の詳細を示す説明図である。

【図33】VWV3ペリファイ処理におけるピット線プリチャージ動作の詳細を示す説明図である。

05 【図34】VWV3ペリファイ処理におけるメモリディスチャージ動作の詳細を示す説明図である。

【図35】VWV3ペリファイ処理におけるセンスラッチのためのプリチャージ動作の詳細を示す説明図である。

10 【図36】VWV3ペリファイ処理におけるセンスラッチ動作の詳細を示す説明図である。

【図37】VWV3ペリファイ処理におけるオール判定動作の詳細を示す説明図である。

15 【図38】前記書き込みデータラッチ処理の動作タイミングの一例を示すタイミング図である。

【図39】書き込み動作タイミングの一例を示すタイミング図である。

【図40】書き込みペリファイの動作タイミングの一例を示すタイミング図である。

20 【図41】オール判定動作タイミングの一例を示すタイミング図である。

【図42】多電源方式による“01”書き込みデータラッチ処理の説明図である。

【図43】多電源方式による“00”書き込みデータラッチ処理の説明図である。

25 【図44】多電源方式による“10”書き込みデータラッチ処理の説明図である。

【図45】多電源方式による“00”エラティック検出データラッチ処理の説明図である。

30 【図46】多電源方式による“10”エラティック検出データラッチ処理の説明図である。

【図47】多電源方式による“11”ディスターブ検出データラッチ処理の説明図である。

35 【図48】多電源方式による“01”書き込みデータラッチ処理の動作波形図である。

【図49】多電源方式による“00”書き込みデータラッチ処理の動作波形図である。

【図50】多電源方式による“10”書き込みデータラッチ処理の動作波形図である。

40 【図51】多電源方式による“00”エラティック検出データラッチ処理の動作波形図である。

【図52】多電源方式による“10”エラティック検出データラッチ処理の動作波形図である。

【図53】多電源方式による“11”ディスターブ検出データラッチ処理の動作波形図である。

45 【図54】フラッシュメモリの動作態様毎の各種電圧条件を総合して示した動作説明図である。

【図55】リトライ書き込み機能の一例を示すフローチャートである。

50 【図56】リカバリ機能の一例を示すフローチャートで

ある。

【図57】リトライ及びリカバリ機能を有するフラッシュメモリにおける内部動作の状態遷移図である。

【図58】フラッシュメモリを用いたメモリカードの一例を示しブロック図である。

【図59】フラッシュメモリを用いたデータ処理システムの一例を示すブロック図である。

【図60】リトライ及びリカバリ機能の概念説明図である。

【図61】書き換えコマンドによる処理の一例を示すフローチャートである。

【図62】セクタの一部に対するデータ書き換えを実現するための書き換えコマンドによる処理の一例を示すフローチャートである。

【図63】セクタの一部に対するデータ書き換えを実現するための書き換えコマンドによる処理の他の例を示すフローチャートである。

【図64】部分消去機能の一例を示すフローチャートである。

【図65】図64の指定セクタデータ読み出し動作の前半の詳細を示す説明図である。

【図66】図64の指定セクタデータ読み出し動作の後半の詳細を示す説明図である。

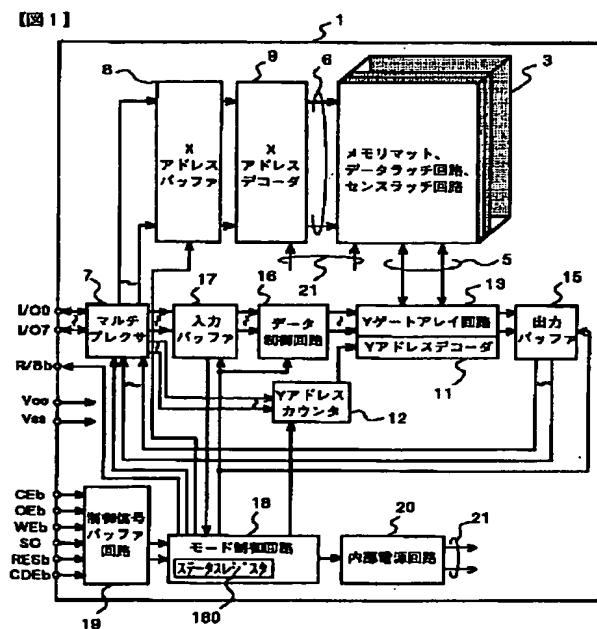
【図67】指定セクタデータ読み出しに用いるワード線

選択レベルと閾値電圧分布との関係を示す説明図である。

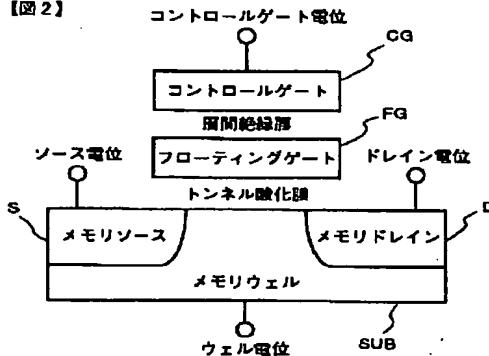
【符号の説明】

05 1 フラッシュメモリ
3 メモリアレイ
16 データ制御回路
18 モード制御回路
I/O0~I/O7 入出力端子
DLL, DLR データラッチ回路
10 DLLA, DLRA データラッチ回路アレイ
MML, MMR メモリマット
SL センスラッチ回路
SLA センスラッチ回路アレイ
30L, 30R スイッチ回路・演算回路
15 31L, 31R スイッチ回路・演算回路
MC メモリセル
G-BLL, G-BLR ピット線
20 200 メモリカード
201 ローカルメモリ
202 メモリコントローラ
203 バッファメモリ
204 インタフェース回路
230 マイクロプロセッサ

【図1】



【図2】



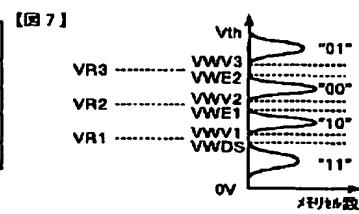
40

【図6】

書き込み	I/O	DLL	DLR
データ	4 0		
01	0 1	0	1
00	0 0	0	0
10	1 0	1	0
11	1 1	1	1

入力書き込みデータ

【図7】



【図3】

【図3】

モード	第1コマンド	第2コマンド
読み出し	00H	不要
リカバリー 読み出し	01H	不要
消去	20H	B0H
書き込み	1FH	40H
追加書き込み	10H	40H
リトライ 書き込み	1AH	不要
部分消去	2FH	B0H
書き換え	11H	40H

【図4】

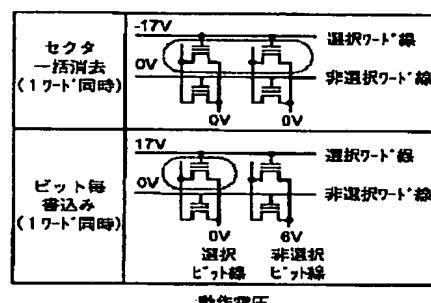
【図4】

名 称	定 义
I/O7	Ready/Busy "VOH"=Ready "VOL"=Busy
I/O6	Reserved
I/O5	Erase Check "VOH"=Fail "VOL"=Pass
I/O4	Program Check "VOH"=Fail "VOL"=Pass
I/O3	Reserved
I/O2	Reserved
I/O1	Reserved
I/O0	Reserved

ステータスレジスタ

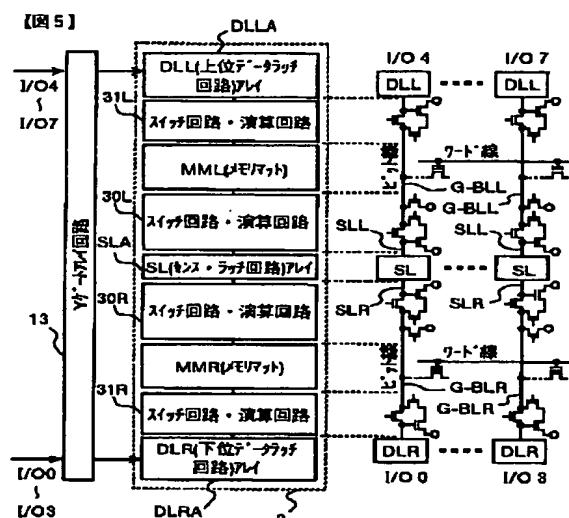
【図8】

【図8】



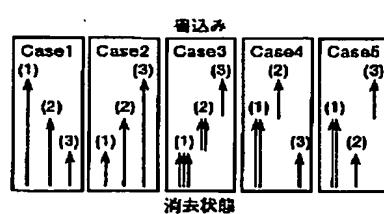
動作電圧

【図5】



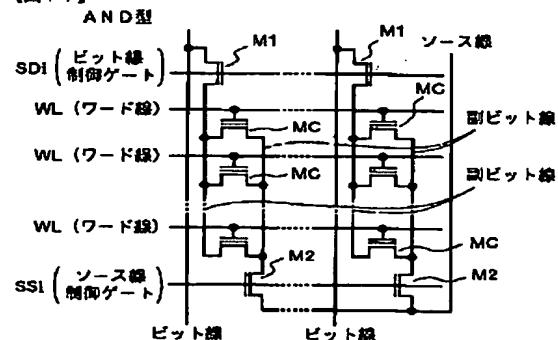
【図9】

【図9】

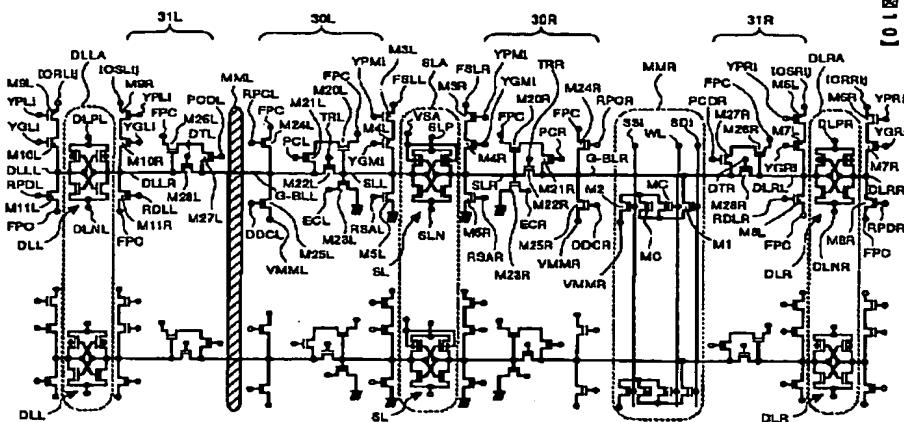


【図11】

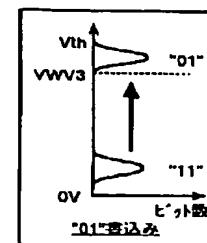
【図11】



【☒ 10】



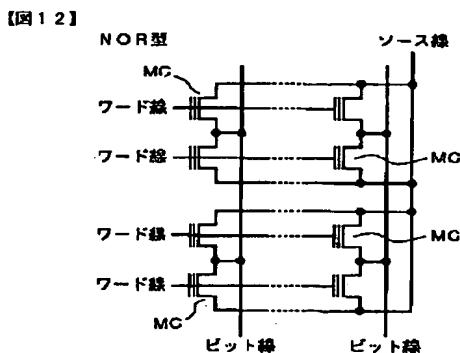
〔四一七〕



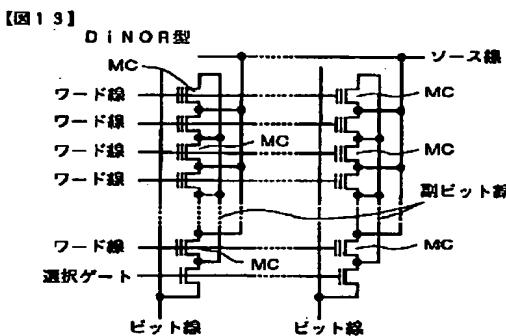
【图 18】

〔圖 18〕

[図 12]



【图 13】

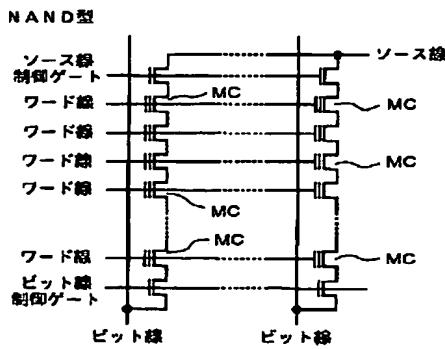


【图 1-4】

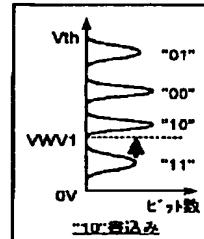
【四 19】

〔四二〇〕

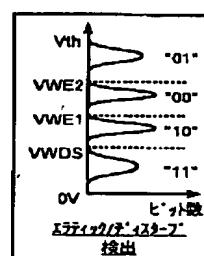
【图 1-4】



[19]

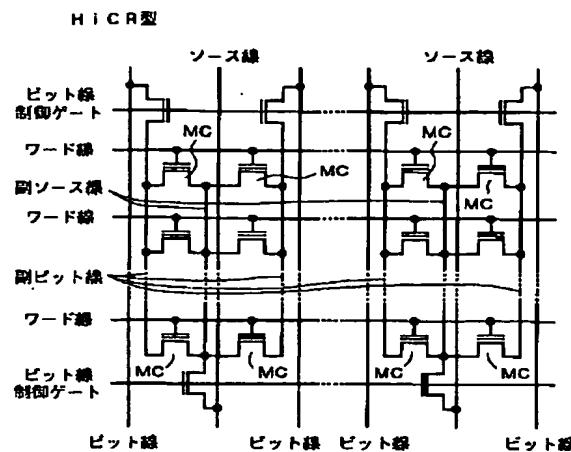


【20】



【図15】

【図15】



【図21】

【図21】

データラッ奇処理	演算内容 (選択マット倒センスラッ奇データ)
"01" 書込みデータ	$A + \bar{B}$
"00" 書込みデータ	$A + B$
"10" 書込みデータ	$\bar{A} + B$
"00" エラティック検出データ	$\bar{A} + B$
"10" エラティック検出データ	$A + \bar{B}$
"11" ディスターープ検出データ	$A \cdot B$

A : 上位データ、B : 下位データ

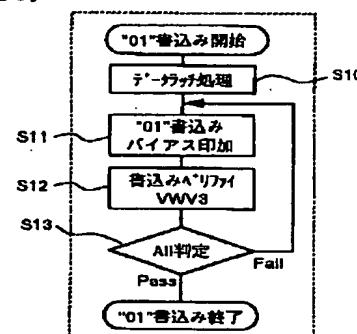
【図22】

【図22】

A 上位	B 下位	$A + \bar{B}$	$A + B$	$\bar{A} + B$	$\bar{A} + \bar{B}$	$A \cdot \bar{B}$	$A \cdot B$
0	1	0	1	1	0	0	0
0	0	1	0	1	1	0	0
1	0	1	1	0	0	1	0
1	1	1	1	1	0	0	1

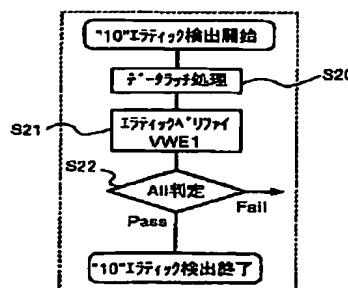
【図23】

【図23】



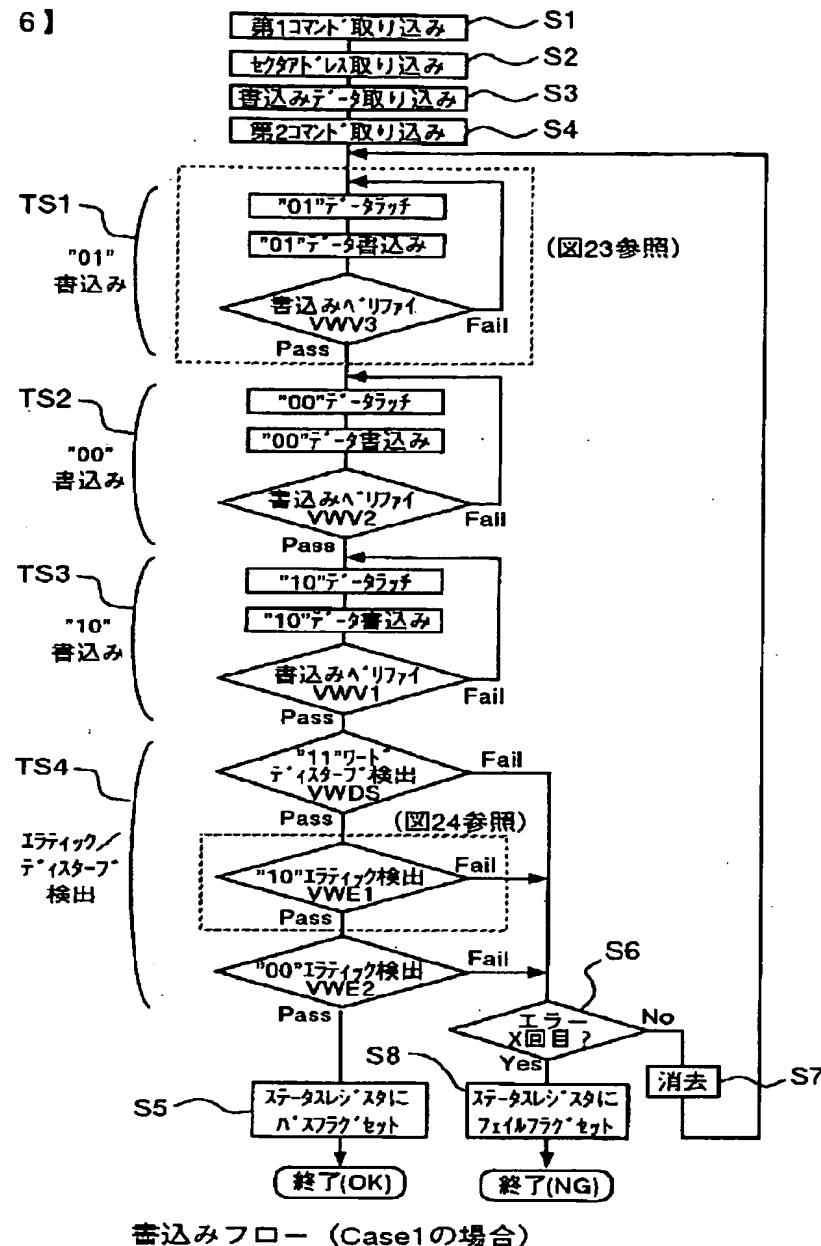
【図24】

【図24】



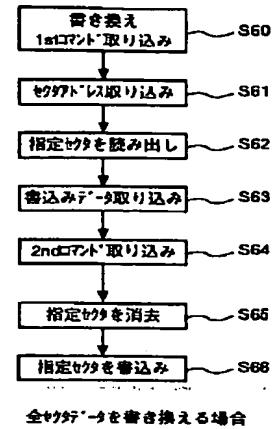
【図16】

【図16】



【図61】

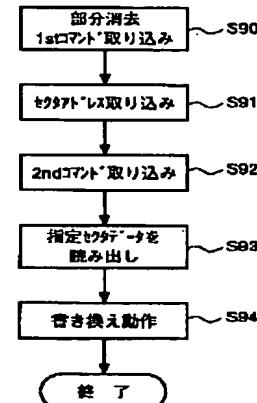
【図61】



【図64】

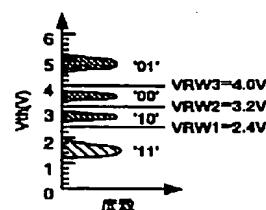
【図64】

部分消去機能

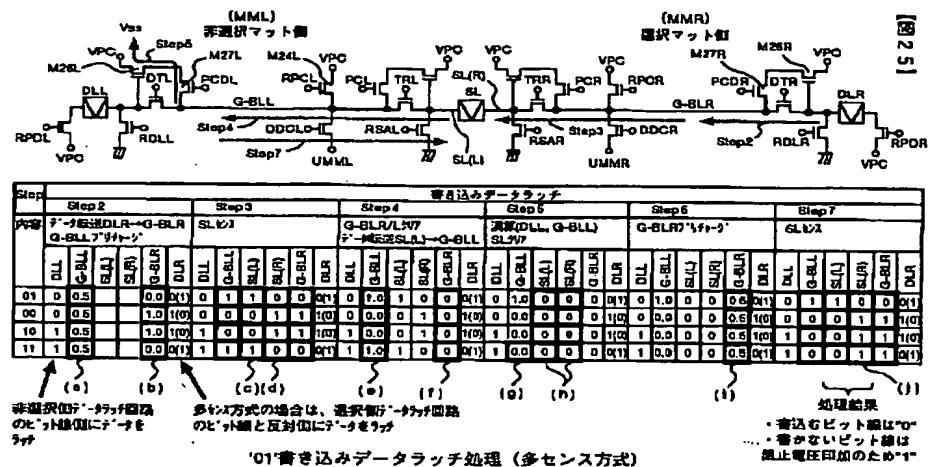


【図67】

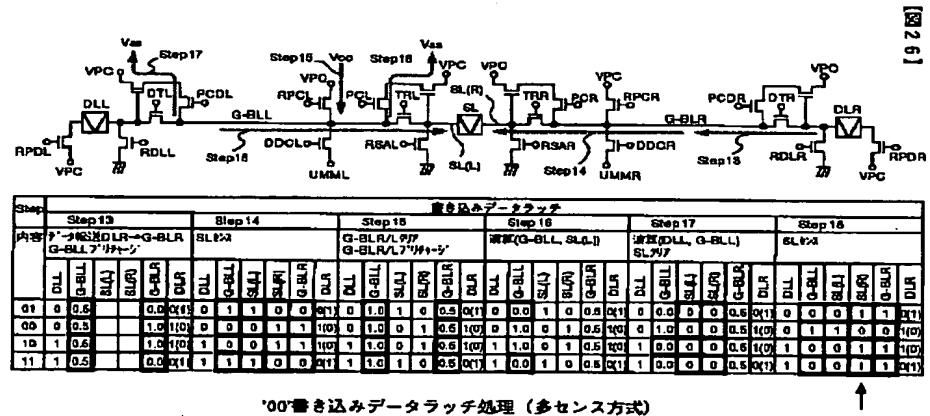
【図67】



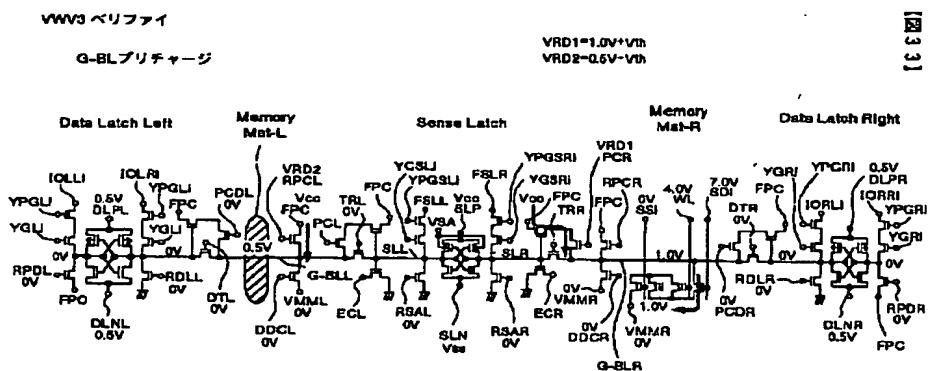
【四 25】



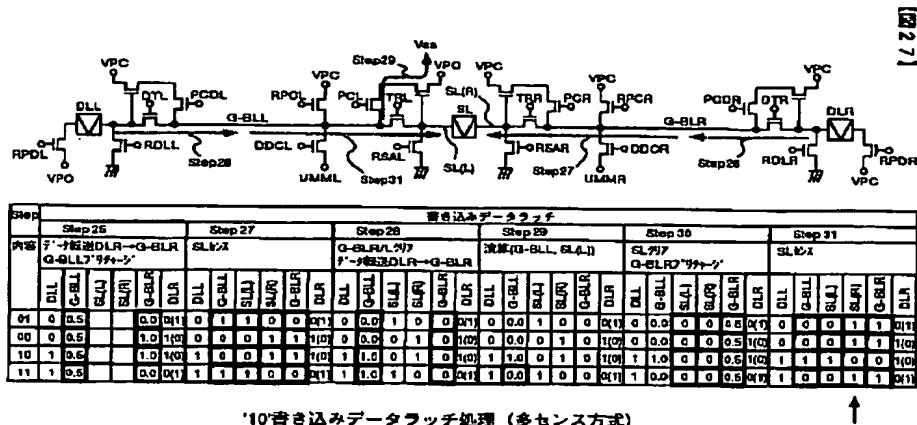
【图26】



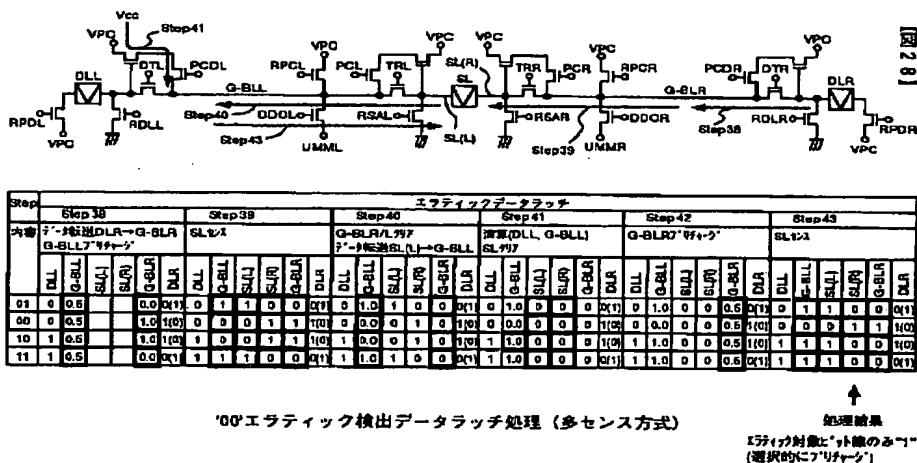
【図33】



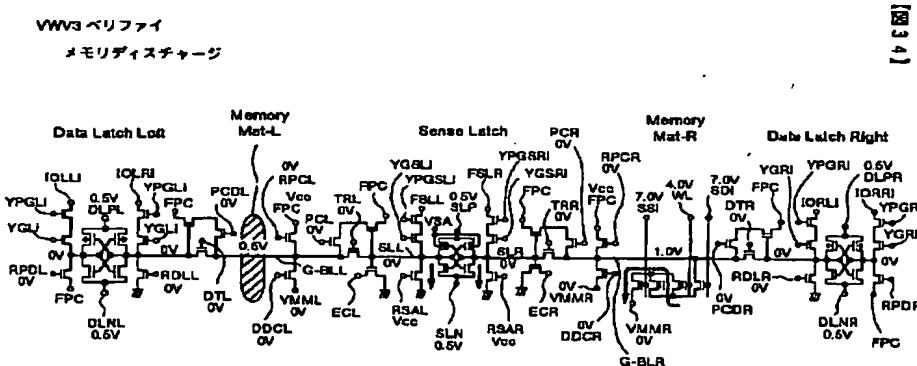
【図27】



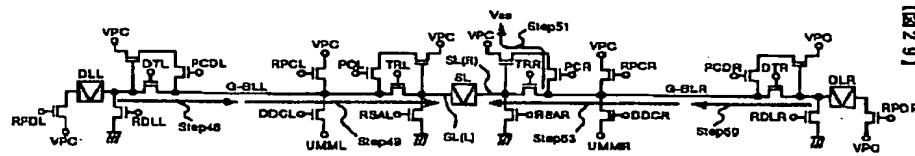
〔四二八〕



[図34]



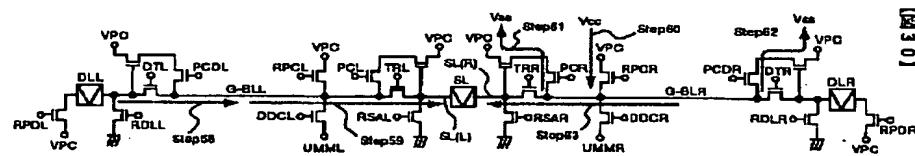
【図29】



Step	エラティックデータラッ奇																		
	Step 48				Step 49				Step 50				Step 51				Step 52		
内蔵	7'-IG25DLL-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25DLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25SLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25SLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	SL'Z	Q-BLL	Q-BLL
01	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
00	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
10	1.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
11	1.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0

'10'エラティック検出データラッ奇処理(多センス方式)

【図30】

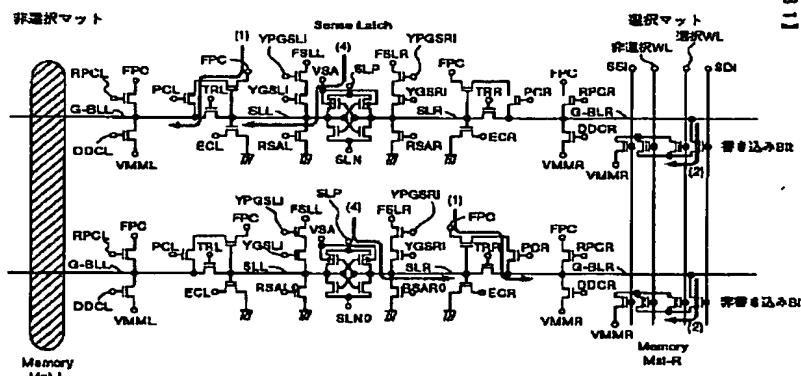


Step	データラッ奇																		
	Step 58				Step 59				Step 60				Step 61				Step 62		
内蔵	7'-IG25DLL-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25DLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25SLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	7'-IG25SLR-Q-BLL	SL'Z	Q-BLL	Q-BLL	SL'Z	Q-BLL	Q-BLL
01	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
00	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
10	1.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0
11	1.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0	0.0

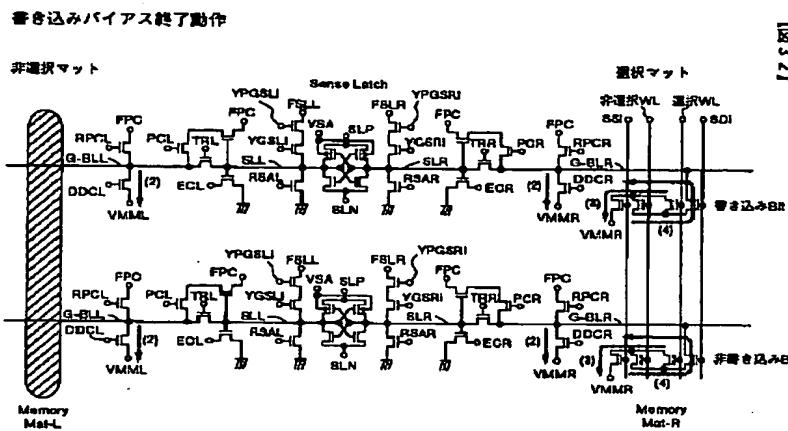
'11'ディスクターブ検出データラッ奇処理(多センス方式)

【図31】

書き込みバイアス開始動作

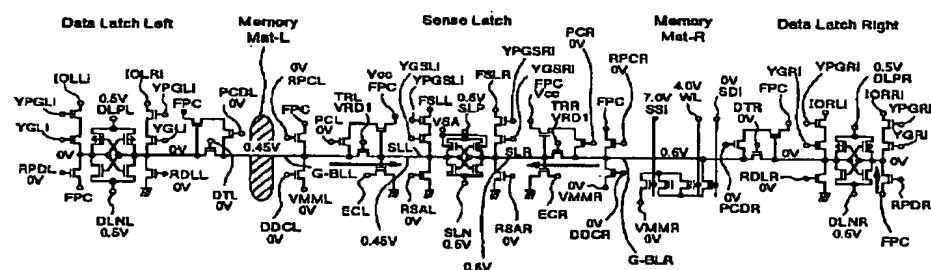


【図32】



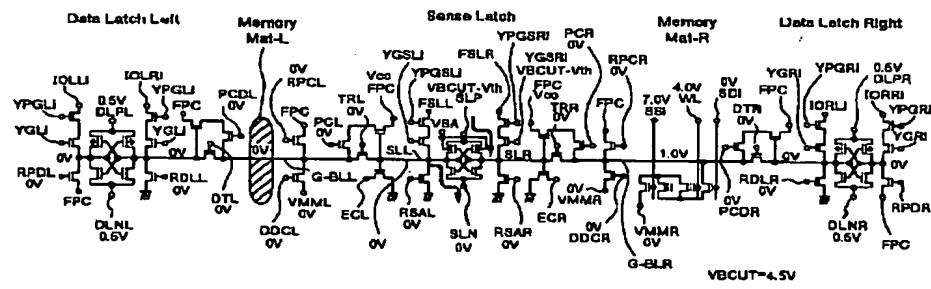
【図32】

【図35】

VWV3 ベリファイ
SLセンス (DLフリッタ、TR4N)

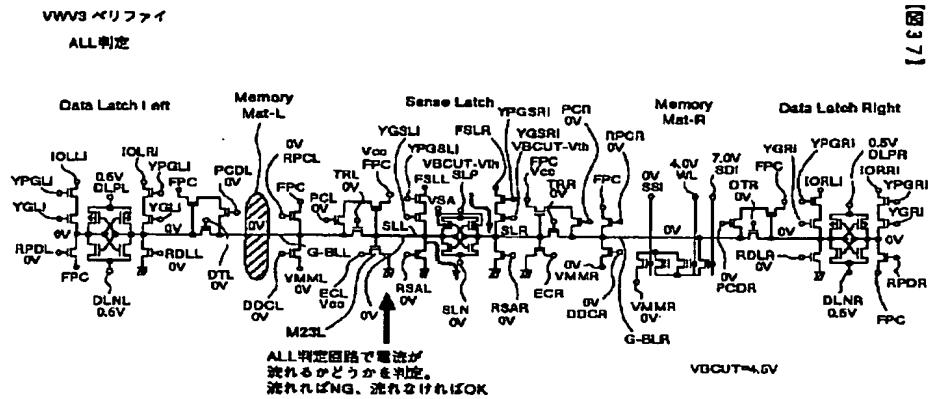
【図35】

【図36】

VWV3 ベリファイ
SLセンス

【図36】

【図37】

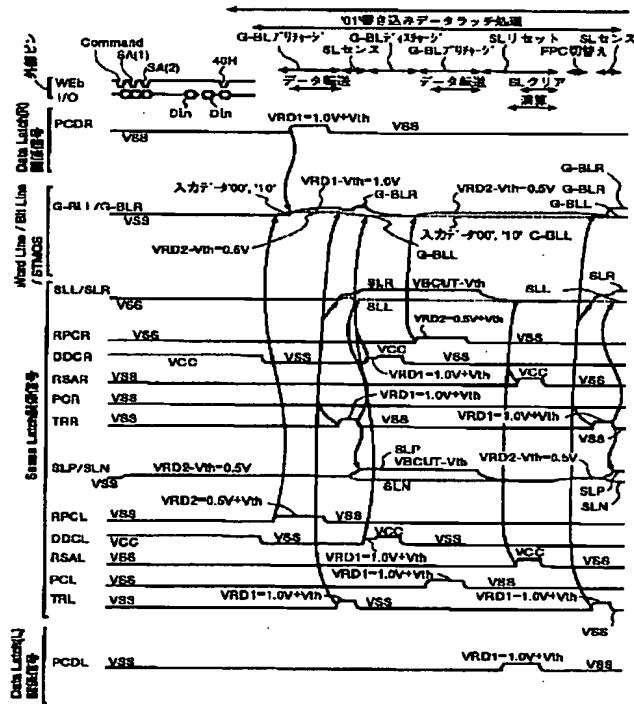


四

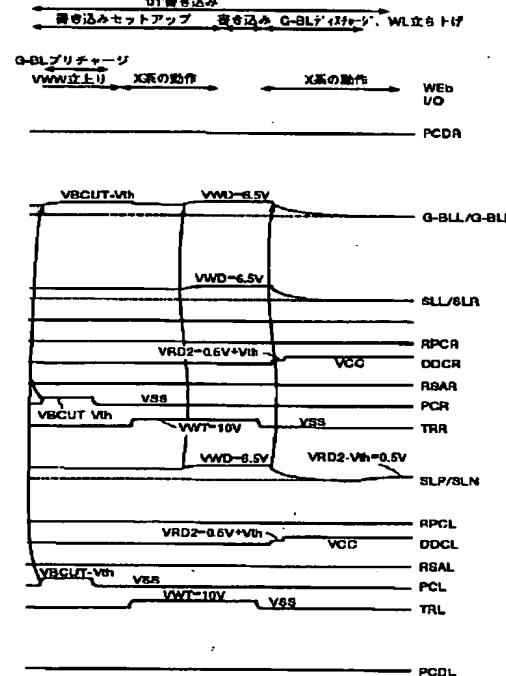
【四三八】

〔四三九〕

【図38】 多センスデータラッチ方式



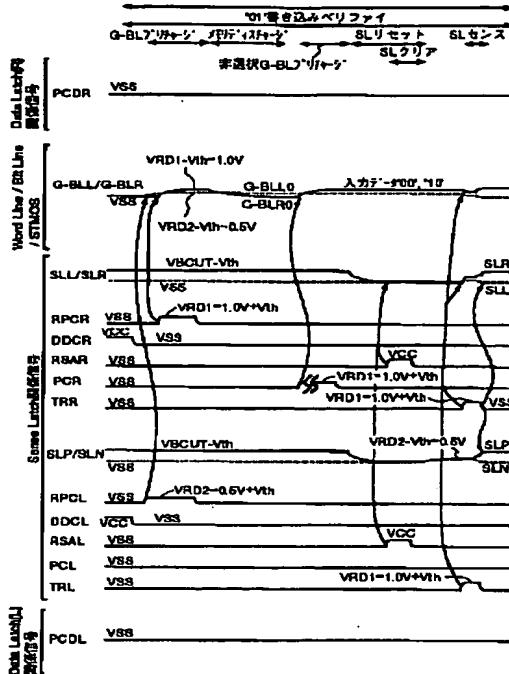
【图39】



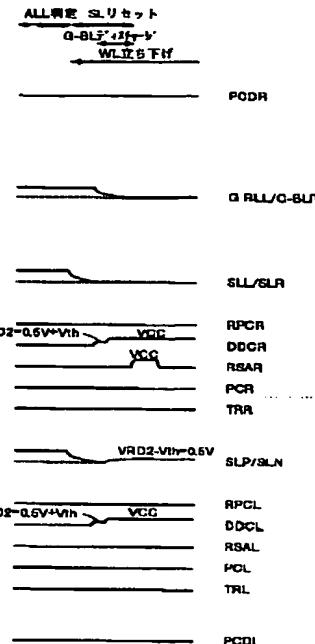
【四〇】

【☒ 4 1】

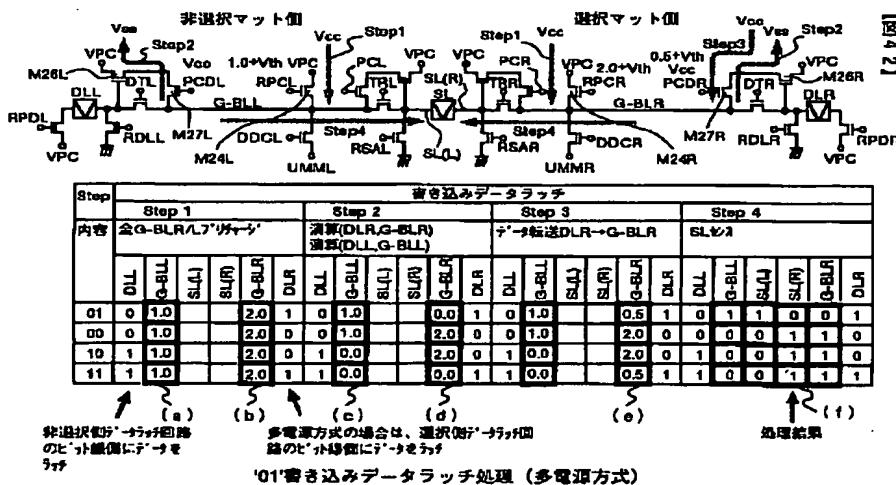
【図40】 01書き込みベリファイ



[図41]

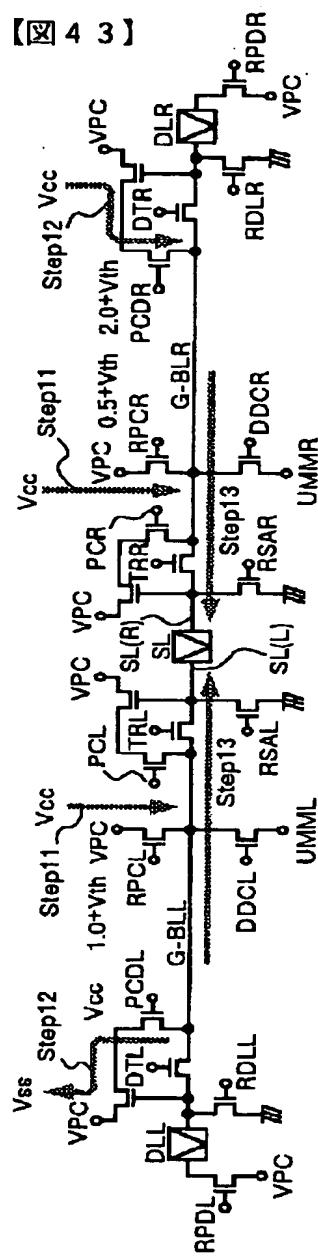


【四 2】



【図43】

【図43】

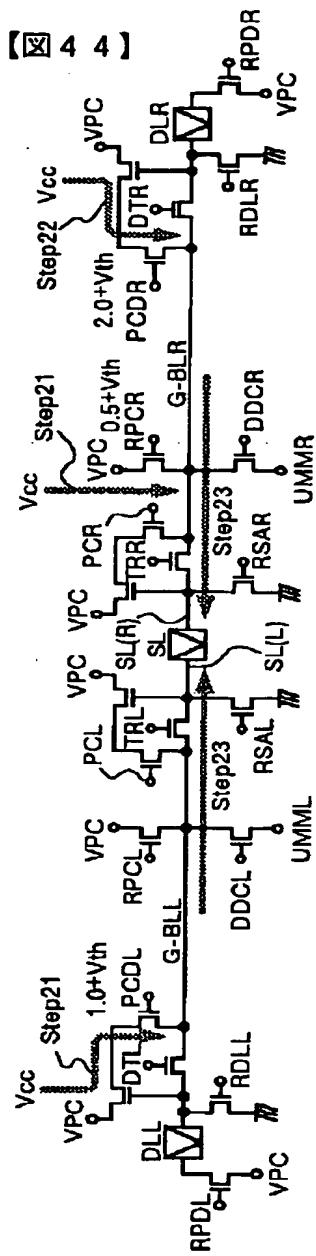


Step	書き込みデータラッチ														
	Step11			Step12			Step13			SL(R)→G-BLL					
演算(DLL,G-BLL)→転送DLL→G-BLL															
	DLL	G-BLL	SL(R)	DLL	G-BLL	SL(R)	DLL	G-BLL	SL(R)	DLL	G-BLL	SL(R)			
01	0	1.0	0.5	1	0	0.5	1.0	0	2.0	1	0	0	1	1	1
00	0	1.0	0.5	0	0	0.5	0	0.5	0	0	1	1	0	0	0
10	1	1.0	0.5	0	0	0.5	0	0	0.5	0	1	0	0	1	0
11	1	1.0	0.5	1	1	0.5	1	1	2.0	1	1	0	0	1	1

「00」書き込みデータラッチ処理 (多電源方式)

【图44】

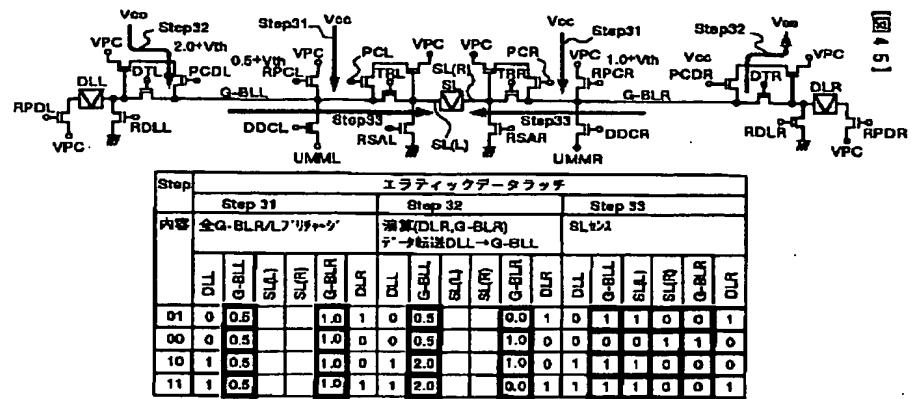
【☒ 4 4】



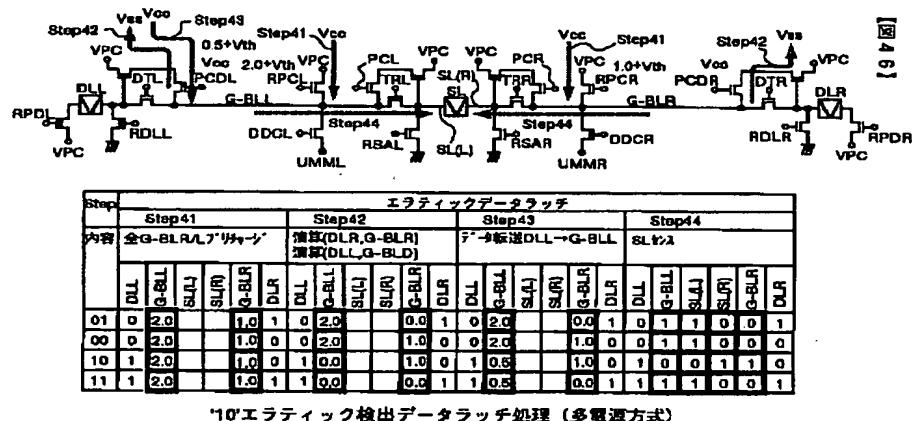
Step	書き込みデータラッシュ							
	Step 21		Step 22		Step 23			
内容	全G-BLR'→G-BLR'				→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			
	→転送DLL→G-BLR		→転送DLL→G-BLR		→転送DLL→G-BLR			

10'書き込みデータラッチ処理(多電源方式)

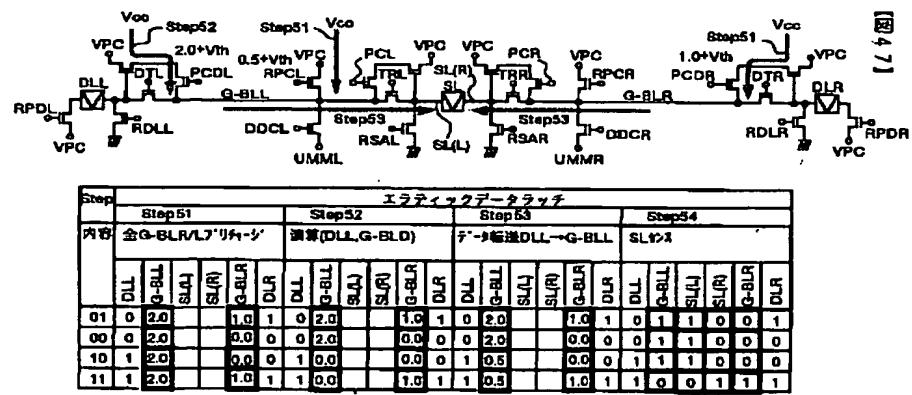
【図45】



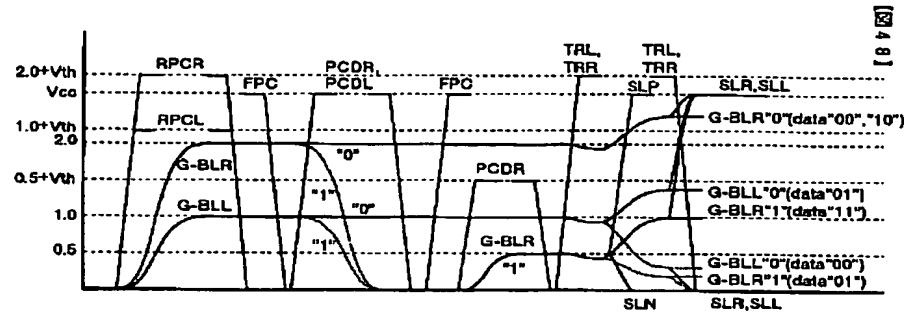
【図46】



【図47】

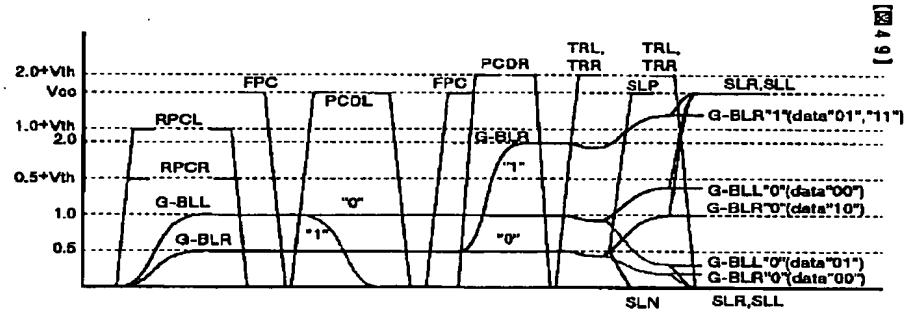


【四八】



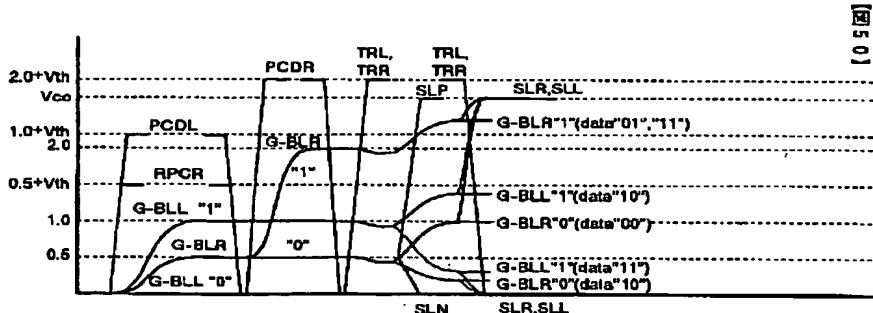
'01'書き込みデータラッチ処理波形 (多電源方式、R側選択時)

【图49】



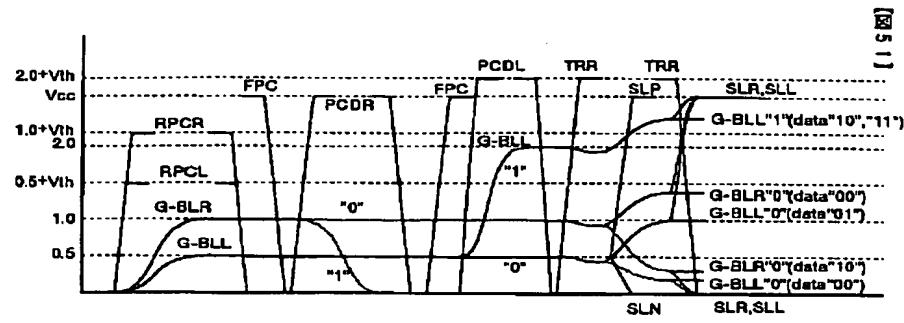
‘00’書き込みデータラッチ処理波形 (多電源方式、R側選択時)

【图50】



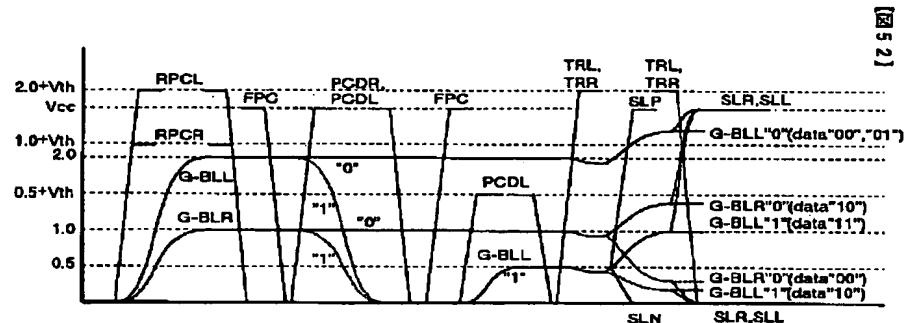
'10'書き込みデータラッチ処理波形 (多電源方式、R側選択時)

【図51】



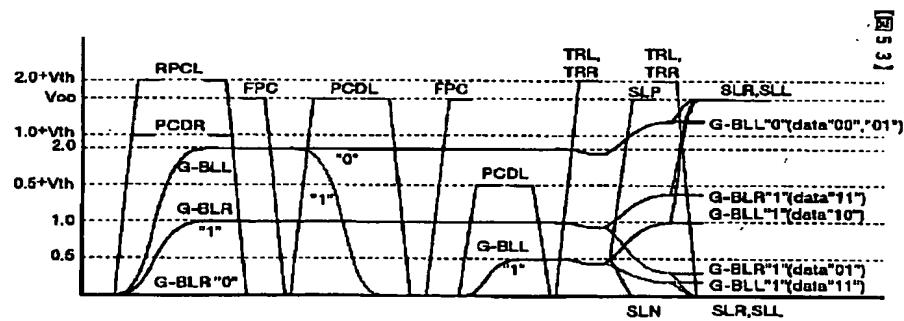
'00'エラティック検出データラッチ処理波形 (多電源方式、R側選択時)

【図52】



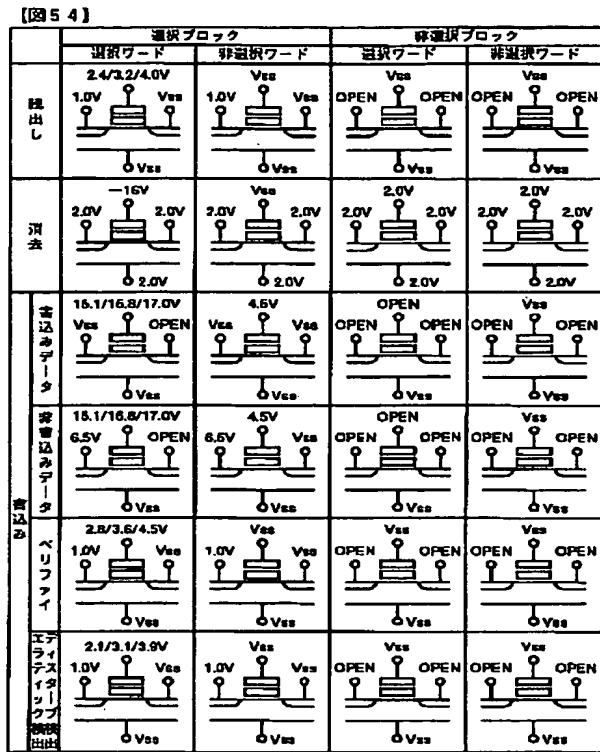
'10'エラティック検出データラッチ処理波形 (多電源方式、R側選択時)

【図53】

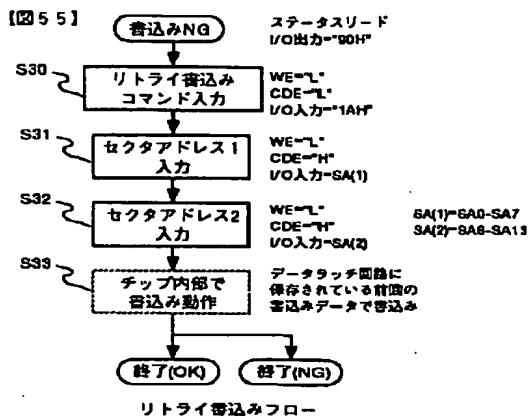


'11'ディスクアーブ検出データラッチ処理波形 (多電源方式、R側選択時)

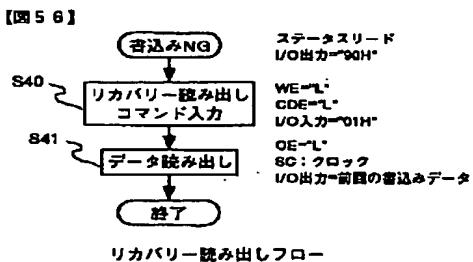
【図54】



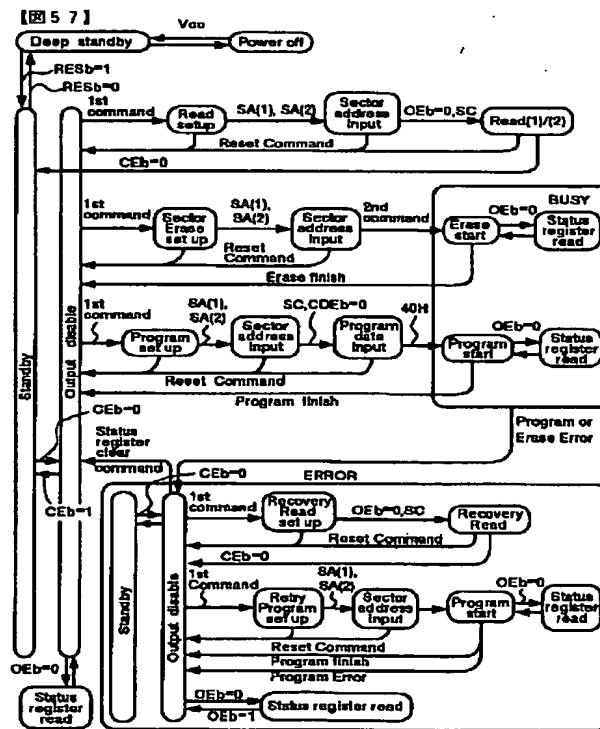
【図55】



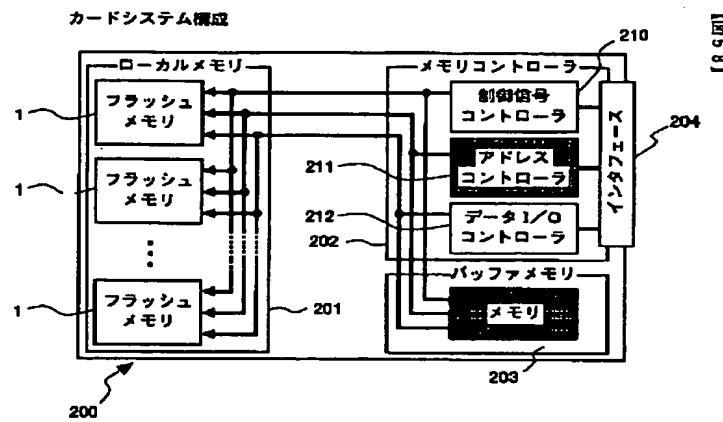
【図56】



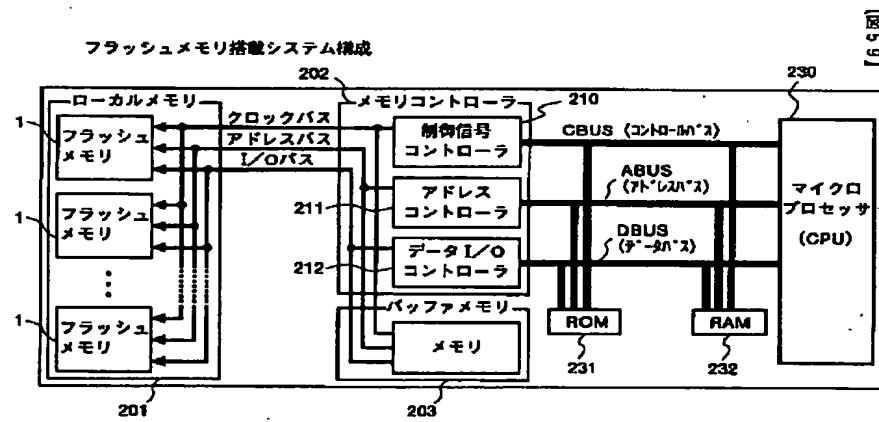
【図57】



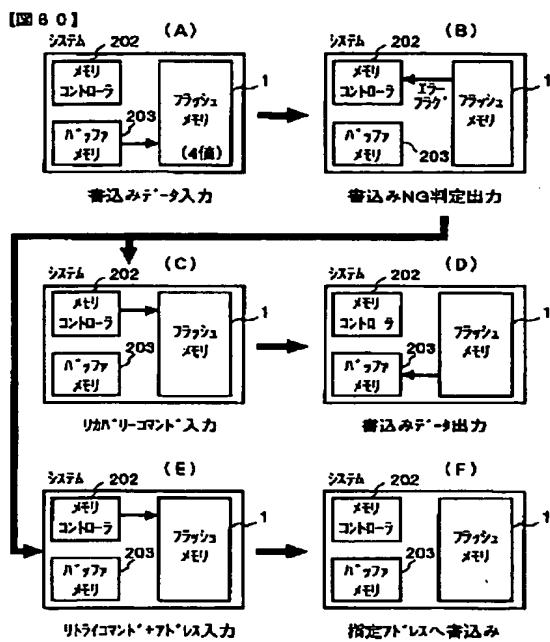
【図58】



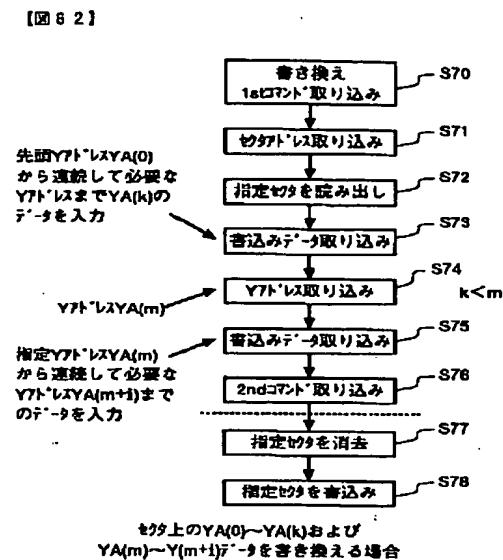
【図59】



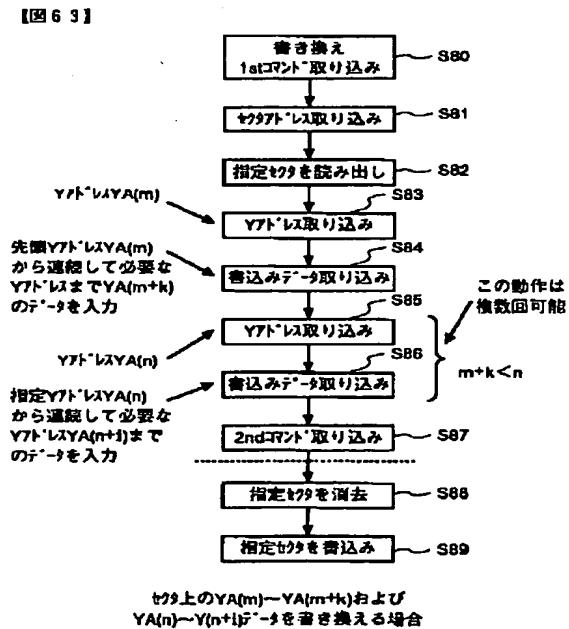
【図60】



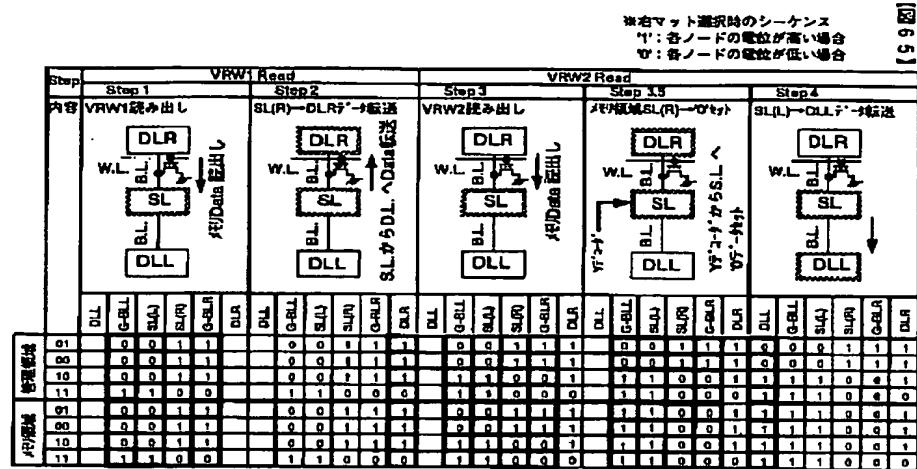
【図62】



【図63】

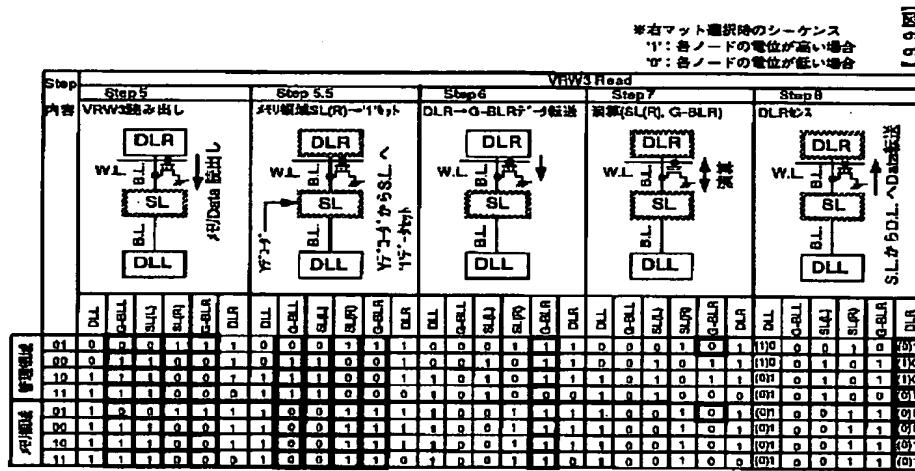


【图65】



部分消去フロー内の読み出しシーケンス

【四六六】



部分消去フロー内の読み出しシーケンス

フロントページの続き

(72)発明者 野副 敏史
東京都青梅市新町六丁目16番地の3 株式 45
会社日立製作所デバイス開発センタ内

(72)発明者 金光 道太郎
東京都国分寺市東恋ヶ窪三丁目1番地1
日立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 久保塁 昌次
東京都国分寺市東恋ヶ窪三丁目1番地1
日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 山本 英二
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 松原 謙

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内